

**ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΠΟΛΙΤΙΣΜΟΥ  
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΚΑΙ ΑΝΩΤΑΤΗΣ ΕΚΠΑΙΔΕΥΣΗΣ  
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ**

**ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ  
ΤΕΧΝΟΛΟΓΙΑ ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΠΡΑΚΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ**

**Μάθημα** : Τεχνολογία και Εργαστήρια Ψηφιακών Ηλεκτρονικών ΙΙ **(510)**  
**Ημερομηνία** : Τρίτη, 28 Μαΐου 2019  
**Ωρα εξέτασης** : 08:00 – 10:30

**Λύσεις**



**ΜΕΡΟΣ Α΄** - Το μέρος Α αποτελείται από δώδεκα (12) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με τέσσερις (4) μονάδες.

1. (α) Να αναφέρετε τη διαφορά του σύγχρονου από τον ασύγχρονο απαριθμητή.

Στους ασύγχρονους απαριθμητές οι παλμοί μέτρησης (CLK) εφαρμόζονται στο πρώτο Φλιπ Φλοπ και η έξοδος του πρώτου συνδέεται στην είσοδο του δεύτερου κ.ο.κ. Αντίθετα στους σύγχρονους απαριθμητές οι παλμοί μέτρησης (CLK) εφαρμόζονται ταυτόχρονα σε όλα τα Φλιπ Φλοπ. Για αυτό το λόγο η μέγιστη συχνότητα λειτουργίας των σύγχρονων απαριθμητών είναι πιο μεγάλη από τη μέγιστη συχνότητα λειτουργίας των ασύγχρονων απαριθμητές.

(β) Με κριτήριο τον κώδικα αρίθμησης, να αναφέρετε δύο τύπους απαριθμητών.

(1) Δυαδικοί απαριθμητές

(2) Δεκαδικοί απαριθμητές (Απαριθμητές BCD)

2. (α) Τι εννοούμε με τον όρο “καθυστέρηση διάδοσης” μιας λογικής οικογένειας;

“Καθυστέρηση διάδοσης” είναι ο χρόνος που χρειάζεται για να μεταφερθεί μια μεταβολή στην έξοδο μιας πύλης, που λαμβάνει χώρα στην είσοδό της.

(β) Να αναφέρετε τον τύπο των τρανζίστορ από τον οποίον είναι κατασκευασμένες οι πιο κάτω λογικές οικογένειες:

CMOS      Τρανζίστορ MOSFET καναλιού P και N.

TTL      Διπολικά τρανζίστορ

3. Να επιλέξετε τις σωστές απαντήσεις.

(α) Το SR Φλιπ Φλοπ βρίσκεται στην κατάσταση SET όταν οι είσοδοι του βρίσκονται στην κατάσταση:

(1) S = 0    R = 0

(2) S = 0    R = 1

(3) **S = 1    R = 0**

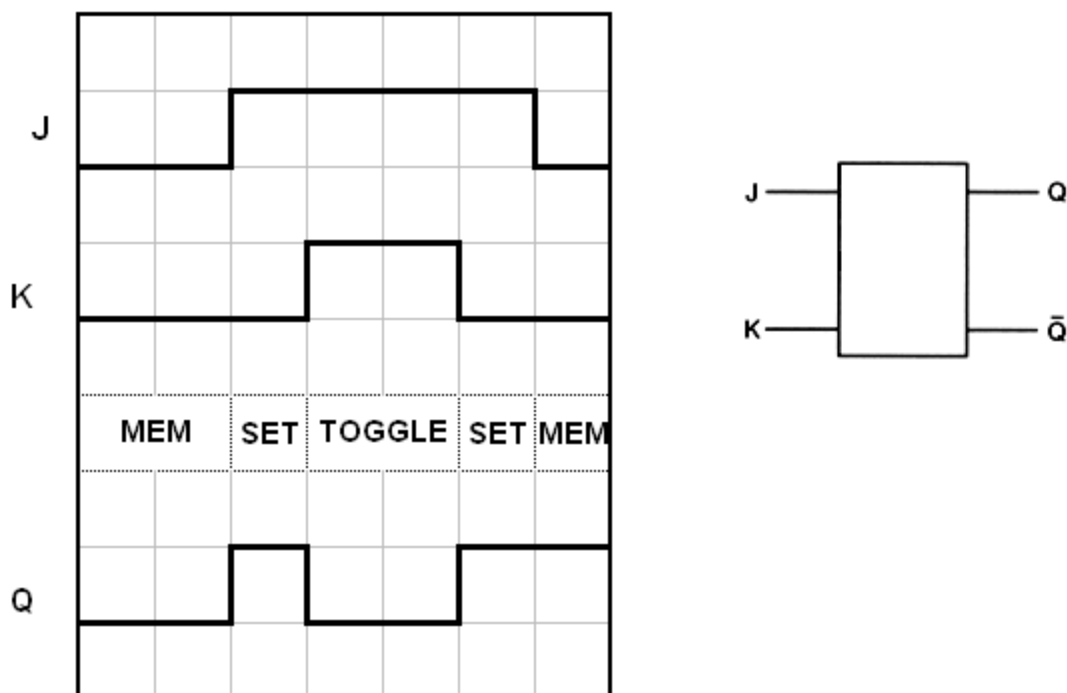
(4) S = 1    R = 1

(β) Ποιο από τα πιο κάτω διακρίνει ένα JK από ένα SR Φλιπ Φλοπ;

- (1) **Κατάσταση εναλλαγής (Toggle)**
- (2) Τύπος ωρολογίου (CLK)
- (3) Είσοδος PRESET
- (4) Είσοδος CLEAR

4. Στο σχήμα 1 δίνεται το λογικό σύμβολο και τα χρονικά διαγράμματα εισόδου ενός ασύγχρονου JK Φλιπ Φλοπ.

Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του Φλιπ Φλοπ. Η αρχική κατάσταση του Φλιπ Φλοπ είναι το λογικό 0 (RESET).



Σχήμα 1

5. (α) Η λογική κατάσταση των εξόδων δεκαδικού απαριθμητή που μετρά προς τα πάνω είναι 1001. Ποια είναι η επόμενη κατάσταση των εξόδων του απαριθμητή;

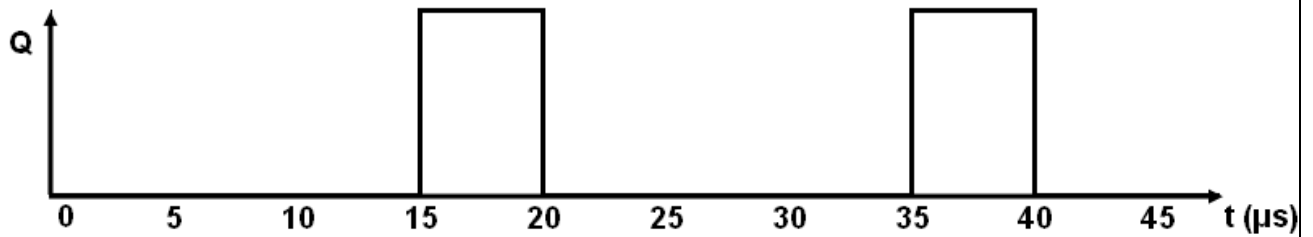
**Επόμενη κατάσταση των εξόδων = 0000**

(β) Κύκλωμα διαιρέτη συχνότητας, από τα 800 kHz στα 25 kHz, αποτελείται από JK Φλιπ Φλοπ. Να υπολογίσετε τον αριθμό των Φλιπ Φλοπ.

**800 kHz - 400 kHz - 200 kHz - 100 kHz - 50 kHz - 25 kHz**

**5 Φλιπ Φλοπ**

6. Στο σχήμα 2 δίνεται η κυματομορφή εξόδου ενός ασταθή πολυδονητή.



Σχήμα 2

Να υπολογίσετε:

- (α) Την περίοδο T
- (β) Τη συχνότητα f
- (γ) Τον κύκλο δράσης d.

**T = 20 μs**

**f = 1/T = 1/20 μs = 50 kHz**

**Κύκλος δράσης, d = ( 5 / 20 ) x 100% = 25%**

7. Ασύγχρονος απαριθμητής έχει μέτρο 50. Να υπολογίσετε:

- (α) Τον αριθμό των Φλιπ Φλοπ από τα οποία αποτελείται ο απαριθμητής.

**2<sup>5</sup> < 50 < 2<sup>6</sup> ⇒ 6 Φλιπ Φλοπ**

.....

- (β) Το μέγιστο μέτρο του απαριθμητή.

**Μέγιστο μέτρο 2<sup>6</sup> = 64**

.....

8. Να επιλέξετε τις σωστές απαντήσεις.

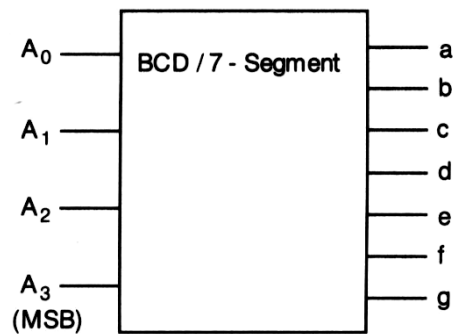
- (α) Για να φορτωθεί πλήρως μια πληροφορία των 4-bit σε έναν καταχωρητή με διαδοχική είσοδο απαιτούνται:

- (1) 1 χρονικός παλμός ωρολογίου (CLK)
  - (2) **4 χρονικοί παλμοί ωρολογίου (CLK)**
  - (3) 8 χρονικοί παλμοί ωρολογίου (CLK)
  - (4) 16 χρονικοί παλμοί ωρολογίου (CLK).
- .....

(β) Για να μετατραπεί ένα σειριακό σήμα σε παράλληλο, απαιτείται η χρήση καταχωρητή με:

- (1) Διαδοχική είσοδο και διαδοχική έξοδο
- (2) **Διαδοχική είσοδο και παράλληλη έξοδο**
- (3) Παράλληλη είσοδο και παράλληλη έξοδο
- (4) Παράλληλη είσοδο και διαδοχική έξοδο.

9. (α) Στο σχήμα 3 δίνεται το λογικό σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει μίαν 7-τμηματική μονάδα ένδειξης.



Σχήμα 3

Στην 7-τμηματική μονάδα ένδειξης παριστάνεται ο αριθμός 5. Να δώσετε τον κώδικα BCD που εφαρμόζεται στην είσοδο του αποκωδικοποιητή.

$A_3A_2A_1A_0 = \underline{0101}$  (Κώδικας BCD αριθμού 5)

(β) Να υπολογίσετε τον μέγιστο αριθμό εξόδων ενός αποκωδικοποιητή όταν ο κώδικας εισόδου είναι 7-bit.

$2^7 = 128$  έξοδοι

10. Να επιλέξετε τις σωστές απαντήσεις.

(α) Το ψηφίο ισοτιμίας χρησιμεύει στην:

- (1) Πιο γρήγορη μετάδοση των δεδομένων
- (2) **Αναγνώριση λαθών κατά την μεταφορά των δεδομένων**
- (3) Εύκολη επεξεργασία των δεδομένων
- (4) Αποκωδικοποίηση των δεδομένων.

(β) Να επιλέξετε ποιοι από τους πιο κάτω κώδικες BCD με μονό ψηφίο ισοτιμίας είναι ορθοί και ποιοι είναι λανθασμένοι.

(1) 00110                      ΟΡΘΟΣ     ΛΑΝΘΑΣΜΕΝΟΣ

(2) 01011                      ΟΡΘΟΣ     ΛΑΝΘΑΣΜΕΝΟΣ

(3) 00000                      ΟΡΘΟΣ     ΛΑΝΘΑΣΜΕΝΟΣ

11. Να επιλέξετε τις σωστές απαντήσεις.

(α) Το συνδυαστικό λογικό κύκλωμα, που επιτρέπει τη μεταφορά πληροφοριών από πολλές πηγές εισόδου μέσω κοινών γραμμών εξόδου, ονομάζεται:

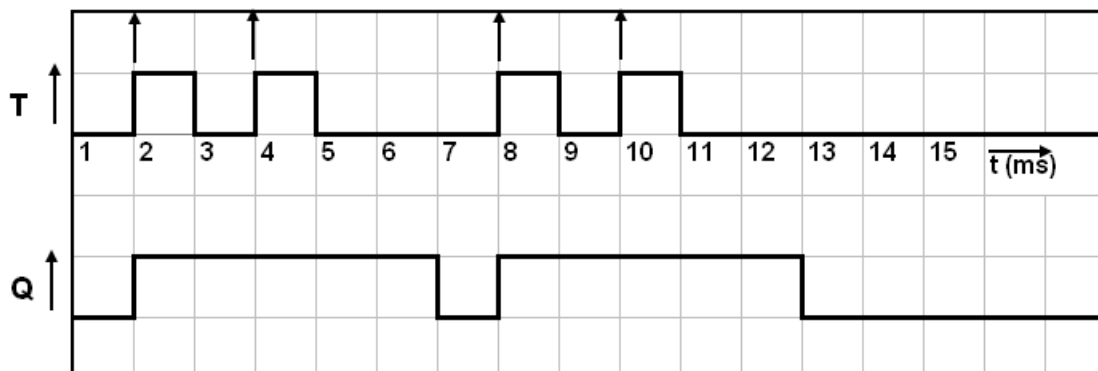
- (1) Συγκριτής
- (2) Αποκωδικοποιητής
- (3) Απαριθμητής
- (4) **Πολυπλέκτης.**

(β) Αποπολυπλέκτης έχει 4 γραμμές επιλογής εισόδου. Οι γραμμές εξόδου του είναι:

- (1) 2
- (2) 4
- (3) 8
- (4) **16**

12. Στο σχήμα 4 δίνεται το χρονικό διάγραμμα εισόδου ενός επαναδιεγερόμενου μονοσταθιού πολυδονητή, ο οποίος διεγείρεται στα θετικά μέτωπα των παλμών διέγερσης και έχει χρόνο βολής 3 ms. Η σταθερή κατάσταση του μονοσταθιού πολυδονητή είναι η λογική κατάσταση 0.

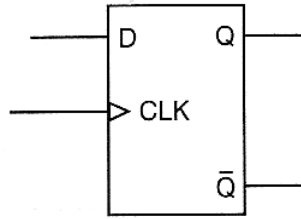
Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του πολυδονητή.



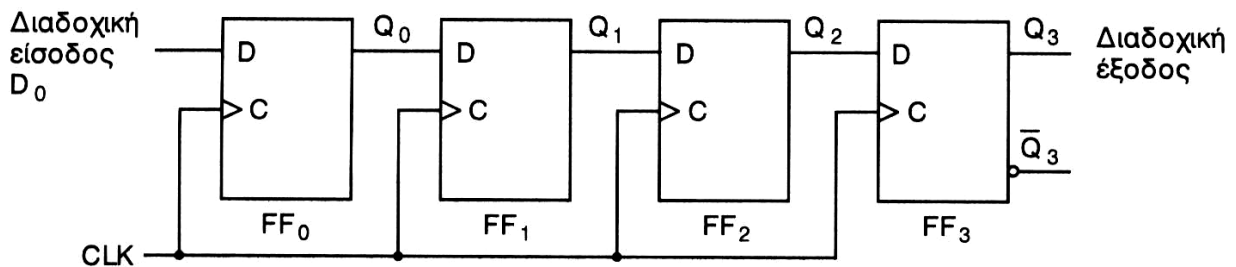
Σχήμα 4

**ΜΕΡΟΣ Β´** - Το μέρος Β αποτελείται από τέσσερις (4) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με οκτώ (8) μονάδες.

13. (α) Με τη χρήση του D Φλιπ Φλοπ του σχήματος 5, να σχεδιάσετε έναν καταχωρητή 4-bit με διαδοχική είσοδο και διαδοχική έξοδο.



Σχήμα 5



- (β) Να υπολογίσετε τον συνολικό χρόνο που χρειάζεται για να αποθηκευθεί και να εξέλθει μια κωδική λέξη 4-bit στον καταχωρητή που σχεδιάσατε στην ερώτηση 13(α). Η συχνότητα του ωρολογίου CLK είναι 100 kHz.

**Απαιτούνται 8 χρονικοί παλμοί**

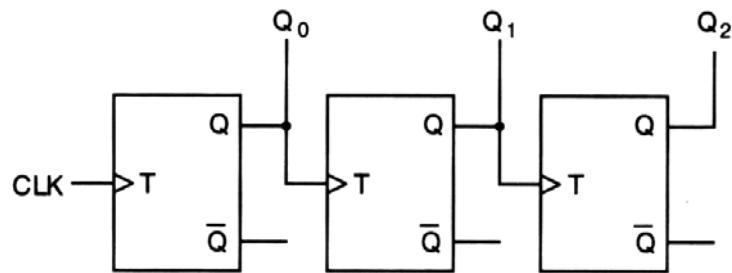
$$\frac{1}{100 \text{ kHz}} \times 8 = 80 \mu\text{s}$$

- (γ) Να αναφέρετε έναν τύπο καταχωρητή που μπορεί να χρησιμοποιηθεί ως κύκλωμα δημιουργίας χρονικής καθυστέρησης κατά τη μετάδοση ψηφιακών σημάτων.

1. Καταχωρητής με διαδοχική είσοδο και διαδοχική έξοδο (SISO)
2. Καταχωρητής με διαδοχική είσοδο και παράλληλη έξοδο (SIPO)

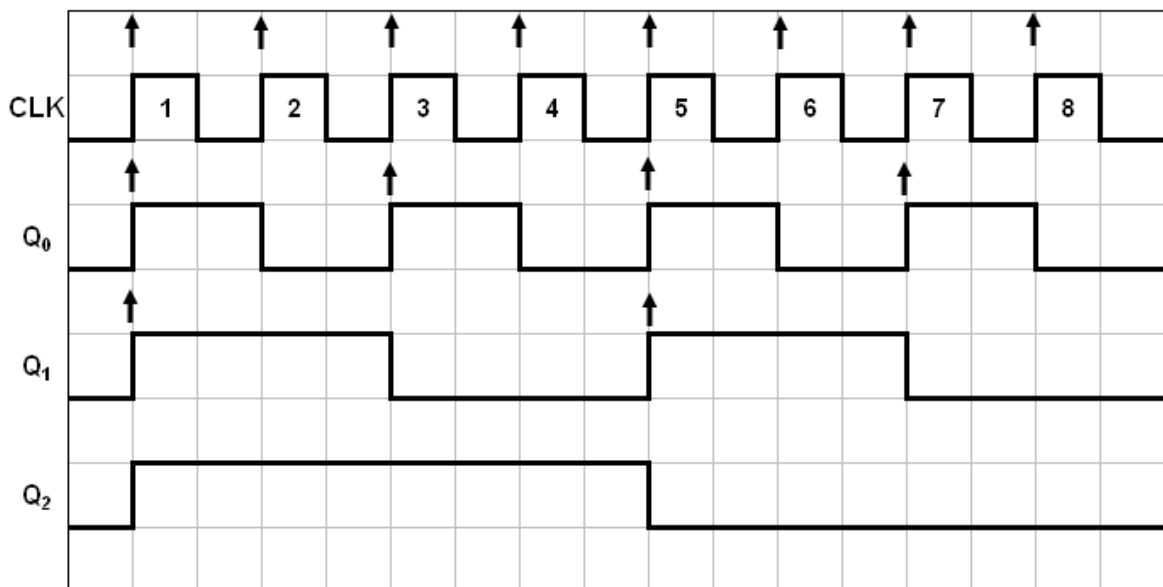


14. Στο σχήμα 6 δίνεται το λογικό κύκλωμα ενός ασύγχρονου δυαδικού απαριθμητή 3-bit που μετρά προς τα κάτω.



Σχήμα 6

(α) Να σχεδιάσετε στο σχήμα 7 τα χρονικά διαγράμματα των τριών εξόδων του απαριθμητή για οκτώ (8) ωρολογιακούς παλμούς (CLK). Η αρχική κατάσταση του απαριθμητή είναι το λογικό 0 (RESET).



Σχήμα 7

(β) Να υπολογίσετε τη συχνότητα των παλμών στην έξοδο Q του κάθε Φλιπ-Φλοπ. Η συχνότητα των ωρολογιακών παλμών (CLK) είναι 2 MHz.

$$f_{Q0} = \underline{1 \text{ MHz}}$$

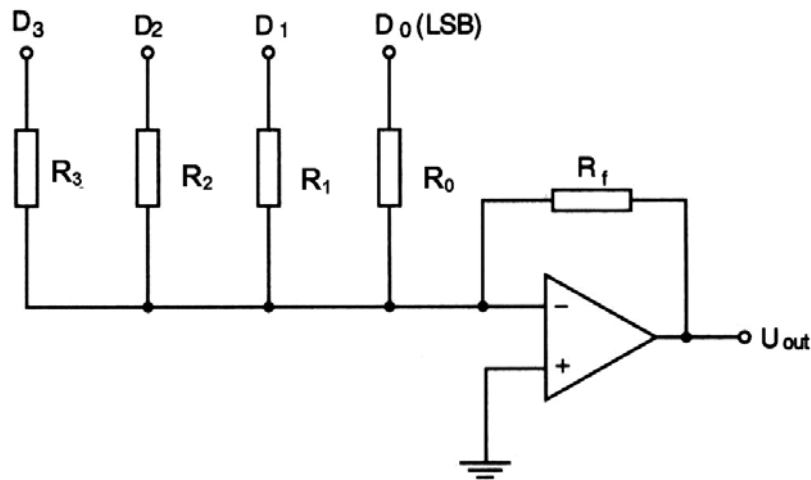
$$f_{Q1} = \underline{500 \text{ kHz}}$$

$$f_{Q2} = \underline{250 \text{ kHz}}$$

(γ) Να αναφέρετε τον τύπο T Φλιπ Φλοπ που θα πρέπει να χρησιμοποιηθεί, ώστε ο απαριθμητής του σχήματος 6 να μετρά προς τα πάνω.

Θα χρησιμοποιηθούν T Φλιπ Φλοπ τα οποία χρονίζονται στα αρνητικά μέτωπα των παλμών του ωρολογίου (CLK)

15. Στο σχήμα 8 δίνεται κύκλωμα μετατροπέα ψηφιακού σήματος σε αναλογικό (D/A) με σταθμισμένες αντιστάσεις. Η τιμή της αντίστασης  $R_0$  είναι  $40\text{ k}\Omega$ .



Σχήμα 8

(α) Να υπολογίσετε τις τιμές των αντιστάσεων  $R_1$ ,  $R_2$  και  $R_3$ .

$$R_1 = \underline{20\text{ k}\Omega}$$

$$R_2 = \underline{10\text{ k}\Omega}$$

$$R_3 = \underline{5\text{ k}\Omega}$$

(β) Η τάση εξόδου  $U_{OUT}$  του μετατροπέα είναι  $3\text{ V}$  όταν στην είσοδο του εφαρμοστεί ο ψηφιακός κώδικας 0110.

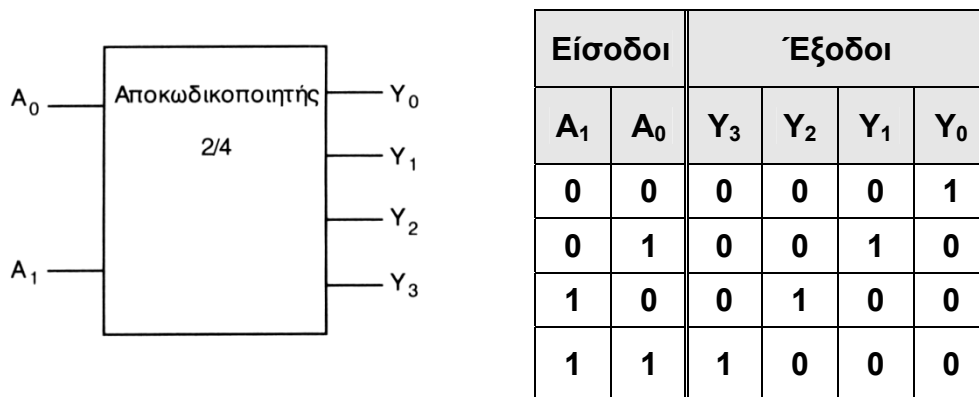
Να υπολογίσετε την τάση εξόδου του μετατροπέα που αντιστοιχεί στον κώδικα 1001.

$$U_{OUT} = \underline{4,5\text{ V}}$$

(γ) Να αναφέρετε το μειονέκτημα του μετατροπέα ψηφιακού σήματος σε αναλογικό (D/A) με σταθμισμένες αντιστάσεις έναντι του μετατροπέα του τύπου  $R/2R$ .

**Ο μετατροπέας τύπου  $R/2R$  χρησιμοποιεί μόνο δύο τιμές αντιστάσεων, ενώ ο μετατροπέας με σταθμισμένες αντιστάσεις χρησιμοποιεί σταθμισμένες αντιστάσεις με διαφορετικές τιμές που αντιστοιχούν στο αριθμό των bits του ψηφιακού σήματος εισόδου και άρα είναι πιο περίπλοκος στην κατασκευή.**

16. Στο σχήμα 9 δίνεται το λογικό σύμβολο και ο πίνακας λειτουργίας του κυκλώματος αποκωδικοποιητή 2-bit σε 4 γραμμές.



Σχήμα 9

(α) Να δώσετε τις λογικές συναρτήσεις των τεσσάρων εξόδων του.

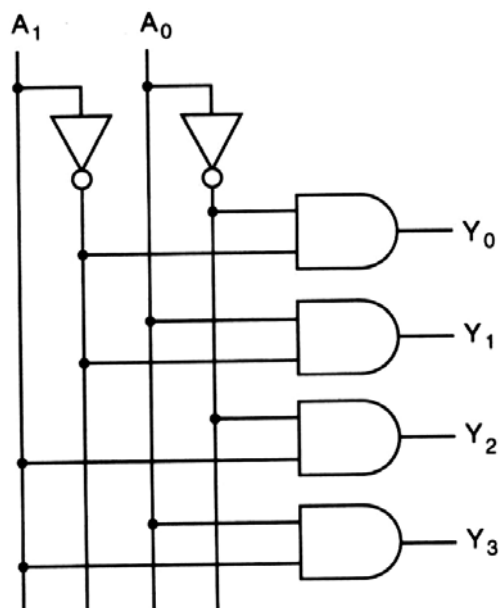
$$Y_0 = \bar{A}_1 \bar{A}_0 \quad (0, 0)$$

$$Y_1 = \bar{A}_1 A_0 \quad (0, 1)$$

$$Y_2 = A_1 \bar{A}_0 \quad (1, 0)$$

$$Y_3 = A_1 A_0 \quad (1, 1)$$

(β) Να σχεδιάσετε το λογικό κύκλωμα του αποκωδικοποιητή 2-bit σε 4 γραμμές.



**ΜΕΡΟΣ Γ' - Το μέρος Γ αποτελείται από δύο (2) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με δέκα (10) μονάδες.**

17. (α) Στο σχήμα 10 δίνεται το λογικό σύμβολο ενός ψηφιακού συγκριτή 1-bit. Να συμπληρώσετε τον πίνακα αληθείας του συγκριτή.



Σχήμα 10

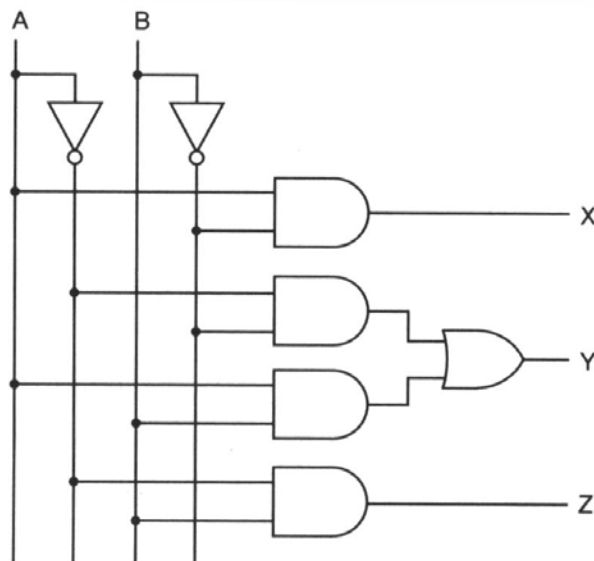
(β) Να δώσετε τις λογικές συναρτήσεις των τριών εξόδων του συγκριτή 1-bit.

$$Y = \overline{A} \cdot \overline{B} + A \cdot B \quad \text{ή} \quad Y = \overline{A \oplus B}$$

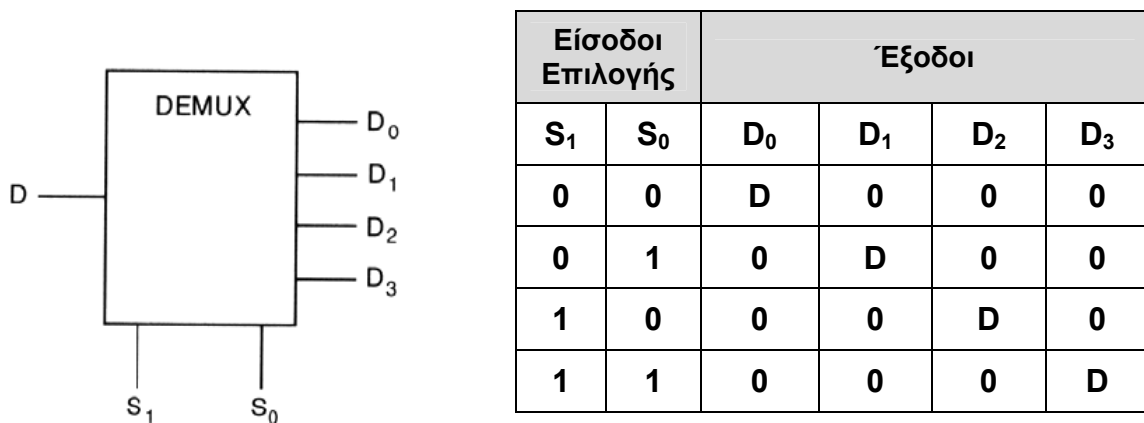
$$X = A \cdot \overline{B}$$

$$Z = \overline{A} \cdot B$$

(γ) Να σχεδιάσετε το λογικό κύκλωμα του συγκριτή 1-bit.



18. Στο σχήμα 11 δίνεται το λογικό σύμβολο και ο πίνακας λειτουργίας αποπολυπλέκτη μιας γραμμής σε τέσσερις (1 X 4).



Σχήμα 11

(α) Να δώσετε τις λογικές συναρτήσεις των τεσσάρων εξόδων του αποπολυπλέκτη 1 X 4.

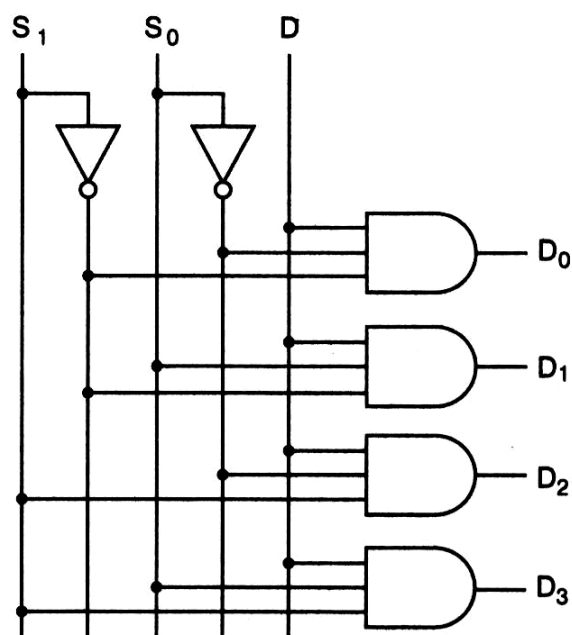
$$D_0 = \bar{S}_1 \bar{S}_0 D$$

$$D_1 = \bar{S}_1 S_0 D$$

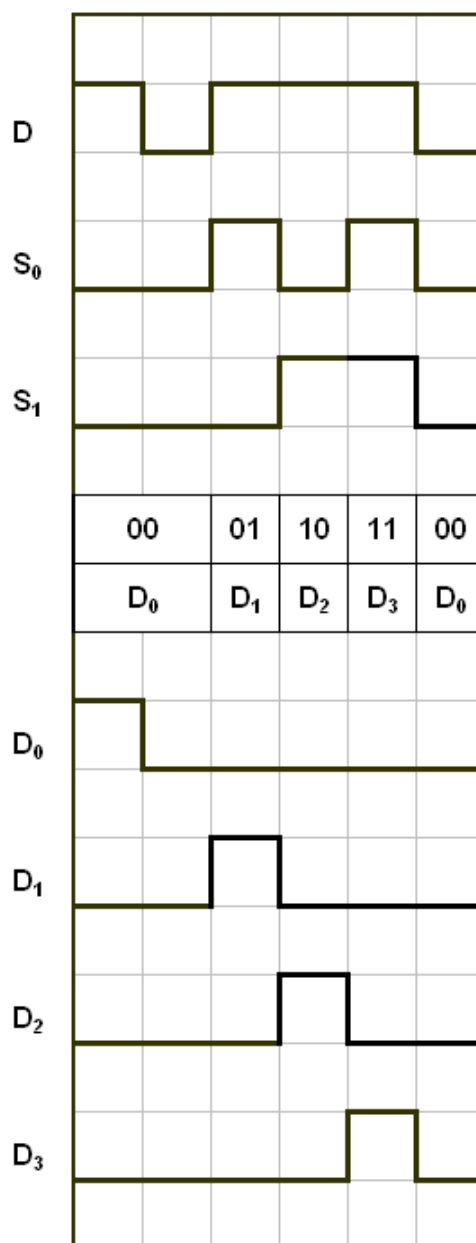
$$D_2 = S_1 \bar{S}_0 D$$

$$D_3 = S_1 S_0 D$$

(β) Να σχεδιάσετε το λογικό κύκλωμα του αποπολυπλέκτη 1 X 4.



(γ) Να σχεδιάσετε στο σχήμα 12 τα χρονικά διαγράμματα των τεσσάρων εξόδων του αποπολυπλέκτη 1 X 4.



Σχήμα 12

----- ΤΕΛΟΣ ΛΥΣΕΩΝ -----

# ΠΡΟΧΕΙΡΟ

# ΠΡΟΧΕΙΡΟ



# ΠΡΟΧΕΙΡΟ


# ΠΡΟΧΕΙΡΟ


<b>ΤΥΠΟΛΟΓΙΟ</b>	
<b>ΑΛΓΕΒΡΑ ΤΟΥ ΜΠΟΥΛ (BOOLE)</b>	
Αξίωμα της αντιμετάθεσης	$A + B = B + A$ $A \cdot B = B \cdot A$
Αξίωμα του προσεταιρισμού	$A \cdot B \cdot C = (A \cdot B) \cdot C = A \cdot (B \cdot C)$ $A + B + C = (A + B) + C = A + (B + C)$
Αξίωμα του επιμερισμού	$A \cdot (B + C) = A \cdot B + A \cdot C$
Κανόνες της άλγεβρας Boole	$A + 0 = A$ $A + 1 = 1$ $A \cdot 0 = 0$ $A \cdot 1 = A$ $A + A = A$ $A + \bar{A} = 1$ $A \cdot A = A$ $A \cdot \bar{A} = 0$ $\bar{\bar{A}} = A$ $A + A \cdot B = A$ $A + \bar{A} \cdot B = A + B$ $(A + B) \cdot (A + C) = A + B \cdot C$
Θεώρημα Ντε Μόργαν (De Morgan)	$\overline{A + B} = \bar{A} \cdot \bar{B}$ $\overline{A \cdot B} = \bar{A} + \bar{B}$
<b>ΛΟΓΙΚΕΣ ΠΥΛΕΣ</b>	
Πύλη AND	$Y = A \cdot B$
Πύλη OR	$Y = A + B$
Πύλη NOT	$Y = \bar{A}$
Πύλη NAND	$Y = \overline{A \cdot B}$
Πύλη NOR	$Y = \overline{A + B}$
Πύλη EXCLUSIVE OR	$Y = A \oplus B$
Πύλη EXCLUSIVE NOR	$Y = \overline{A \oplus B}$
<b>ΠΟΛΥΔΟΝΗΤΕΣ</b>	
Κύκλος Δράσης	$d = \frac{t_{MH}}{T} \times 100\%$

<b>ΑΠΑΡΙΘΜΗΤΕΣ</b>	
Μέγιστο μέτρο απαριθμητή	$\max MOD = 2^v$
Μέγιστη συχνότητα αρίθμησης ασύγχρονου απαριθμητή	$f_{max} = \frac{1}{vt_p}$
Συχνότητα παλμών στην έξοδο που δίνει το περισσότερο σημαντικό ψηφίο απαριθμητή με μέτρο N	$f = \frac{f_{CLK}}{N}$
<b>ΚΑΤΑΧΩΡΗΤΕΣ</b>	
Συχνότητα κυκλικού απαριθμητή	$f_Q = \frac{1}{N} f_{CLK}$
Συχνότητα απαριθμητή Τζόνσον (Johnson)	$f_Q = \frac{1}{2N} f_{CLK}$
<b>ΜΕΤΑΤΡΟΠΕΙΣ D/A</b>	
Μετατροπέας D/A με σταθμισμένες αντιστάσεις και τελεστικό ενισχυτή	$U_{out} = -U_{in} \frac{R_f}{8R} (8D_3 + 4D_2 + 2D_1 + D_0)$
Μετατροπείς D/A με κλιμακωτό δίκτυο αντιστάσεων και τελεστικό ενισχυτή	$U_{out} = -U_{in} \frac{R_f}{2R} (D_3 + \frac{1}{2}D_2 + \frac{1}{4}D_1 + \frac{1}{8}D_0)$
	$U_{out} = \frac{U_{in}}{2} (D_3 + \frac{1}{2}D_2 + \frac{1}{4}D_1 + \frac{1}{8}D_0)$
Ανάλυση	$\frac{FS}{2^N - 1}$
Ανάλυση %	$\frac{1}{2^N - 1} 100\%$