

ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΠΟΛΙΤΙΣΜΟΥ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ 2018

ΤΕΧΝΟΛΟΓΙΑ (ΙΙ) ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΠΡΑΚΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Τεχνολογία και Εργαστήρια Ψηφιακών Ηλεκτρονικών (317)
Ημερομηνία : Τετάρτη, 30 Μαΐου 2018
Ωρα εξέτασης : 08:00 – 10:30

Λύσεις

ΜΕΡΟΣ Α΄ - Το μέρος Α΄ αποτελείται από δώδεκα (12) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με τέσσερις (4) μονάδες.

1. (α) Να δώσετε το μονό ψηφίο ισοτιμίας για τους πιο κάτω κώδικες:

(1) 1101 **0**.....

(2) 1001 **1**.....

(β) Έναν κύκλωμα ελέγχου ζυγού ψηφίου ισοτιμίας δέχεται τους πιο κάτω κώδικες. Να επιλέξετε αν ο κάθε κώδικας είναι σωστός ή λανθασμένος.

(1) 11010100 **ΣΩΣΤΟ** / ΛΑΘΟΣ

(2) 11010110 ΣΩΣΤΟ / **ΛΑΘΟΣ**

.....
.....

2. (α) Να αναφέρετε δύο χαρακτηριστικά σύγκρισης των λογικών οικογενειών.

Δύο από τα πιο κάτω χαρακτηριστικά

- **Καταναλισκόμενη ισχύς**
- **Τάση τροφοδοσίας**
- **Λογικά επίπεδα**
- **Γινόμενο ταχύτητας - ισχύος**
- **Περιθώριο θορύβου**
- **Ικανότητα οδήγησης**
- **Καθυστέρηση διάδοσης του σήματος**

(β) Από τις πιο κάτω προτάσεις, να επιλέξετε δύο (2) μειονεκτήματα της λογικής οικογένειας CMOS έναντι των άλλων λογικών οικογενειών:

(1) Έχουν μεγάλο περιθώριο θορύβου.

(2) Έχουν πολύ μικρή κατανάλωση ισχύος.

(3) Είναι ευαίσθητα στον στατικό ηλεκτρισμό.

(4) Έχουν μεγάλο όγκο τρανζίστορ και άρα η πυκνότητα ολοκλήρωσης των κυκλωμάτων είναι μικρότερη από άλλες λογικές οικογένειες.

(5) Η τάση τροφοδοσίας μπορεί να μην είναι σταθερή.

(6) Όλες οι συνδέσεις πρέπει να γίνονται χωρίς τροφοδοσία.

(3) Είναι ευαίσθητα στο στατικό ηλεκτρισμό.

(6) Όλες οι συνδέσεις πρέπει να γίνονται χωρίς τροφοδοσία.

3. Ένας ασταθής πολυδονητής παράγει παλμούς με συχνότητα $f = 80 \text{ kHz}$ και έχει κύκλο δράσης $d = 40 \%$. Να υπολογίσετε:

(α) Την περίοδο T των παλμών.

$$\text{Περίοδος, } T = \frac{1}{f} = \frac{1}{80 \text{ kHz}} = 12,5 \mu\text{s}$$

$$T = \dots\dots\dots 12,5 \mu\text{s} \dots\dots\dots$$

(β) Το χρονικό διάστημα (t_H) που ο παλμός εξόδου παραμένει στο λογικό 1.

$$d = \frac{t_H}{T} \cdot 100\%$$

$$t_H = \frac{d \cdot T}{100\%} = \frac{40\% \cdot 12,5}{100\%} = \frac{0,4 \cdot 12,5}{1} = 5 \mu\text{s}$$

$$t_H = \dots\dots\dots 5 \mu\text{s} \dots\dots\dots$$

4. Να επιλέξετε τη σωστή απάντηση.

(α) Το SR Φλιπ Φλοπ βρίσκεται στην απαγορευμένη κατάσταση όταν οι είσοδοι του βρίσκονται στα λογικά επίπεδα:

(1) $S = 0, R = 0$

(2) $S = 1, R = 0$

(3) $S = 1, R = 1$

(4) $S = 0, R = 1$

(5) Κανένα από τα πιο πάνω. Το SR Φλιπ Φλοπ δεν έχει απαγορευμένη κατάσταση.

.....(3) $S = 1, R = 1$

(β) Το JK Φλιπ Φλοπ βρίσκεται στην κατάσταση μνήμης (Memory), όταν οι είσοδοι του βρίσκονται στα λογικά επίπεδα:

(1) $J = 0, K = 0$

(2) $J = 1, K = 0$

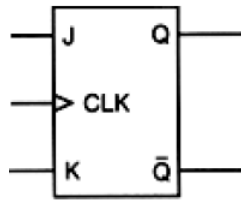
(3) $J = 1, K = 1$

(4) $J = 0, K = 1$

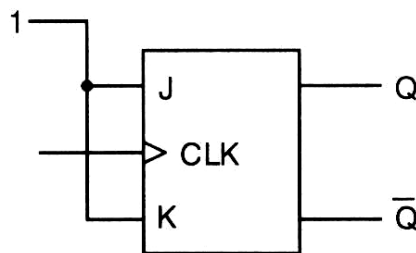
(5) Κανένα από τα πιο πάνω. Το JK Φλιπ Φλοπ αντίθετα με το SR Φλιπ Φλοπ δεν μπορεί να βρεθεί στην κατάσταση μνήμης.

.....(1) $J = 0, K = 0$

5. (α) Να μετατρέψετε το JK Φλιπ Φλοπ του σχήματος 1 σε T Φλιπ Φλοπ.



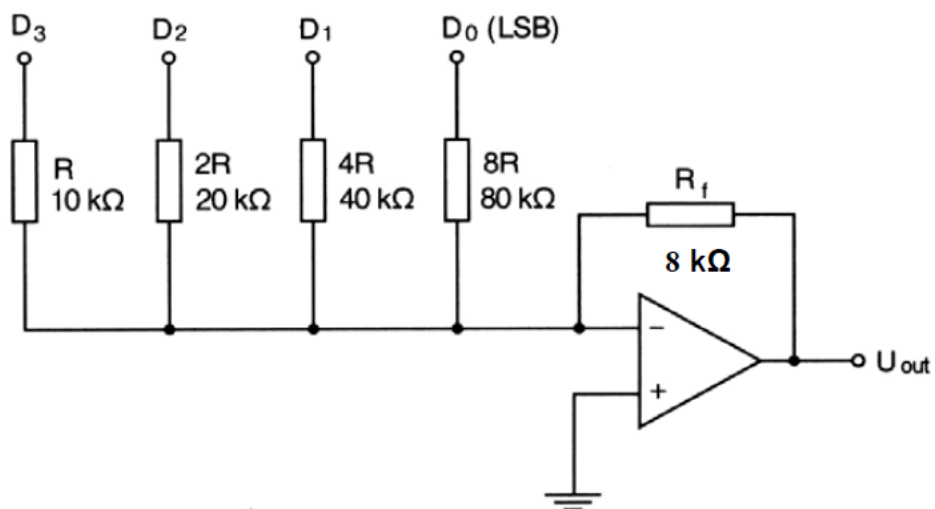
Σχήμα 1



(β) Να δώσετε τον ορισμό του «καταχωρητή».

Ο καταχωρητής είναι ακολουθιακό λογικό κύκλωμα που χρησιμεύει για την αποθήκευση και τη μεταφορά πληροφοριών σε ψηφιακά συστήματα.

6. Στην είσοδο του κυκλώματος μετατροπέα D/A του σχήματος 2, εφαρμόζεται ένα ψηφιακό σήμα με τιμή $D_3D_2D_1D_0 = 0001$. Να υπολογίσετε την τάση εξόδου U_{out} , αν στο λογικό 1 αντιστοιχεί τάση +5 V και στο λογικό 0 τάση 0 V.



Σχήμα 2

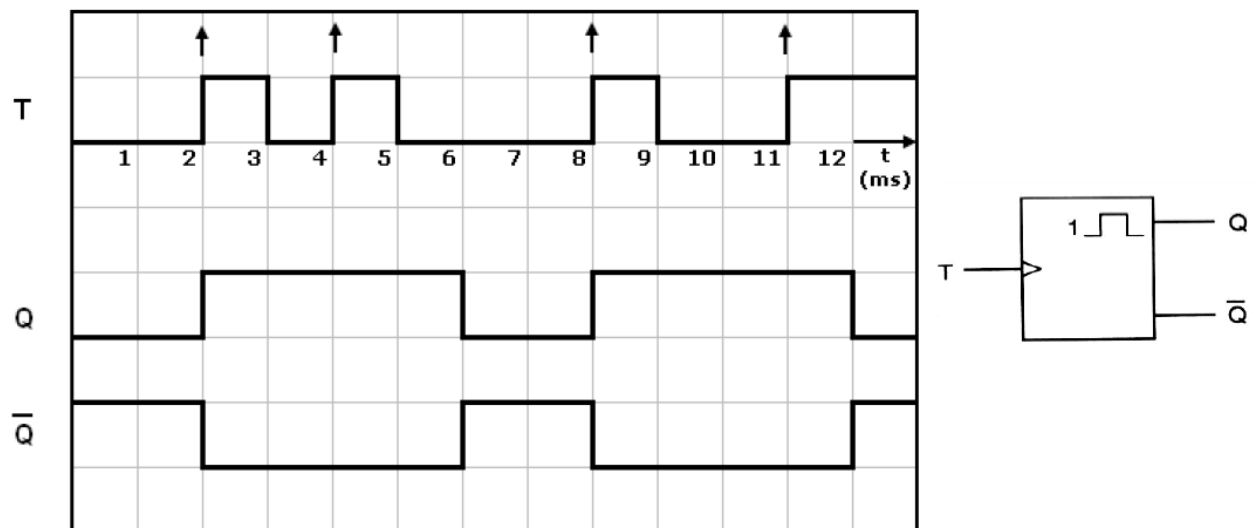
$$U_{out} = -U_{in} \cdot \frac{R_f}{8R} \cdot (8D_3 + 4D_2 + 2D_1 + D_0)$$

$$U_{out} = -5 V \cdot \frac{8 k\Omega}{8 \cdot 10 k\Omega} \cdot (8 \cdot 0 + 4 \cdot 0 + 2 \cdot 0 + 1)$$

$$U_{out} = -5 V \cdot \frac{1}{10} \cdot (1) = -0,5 V$$

$$U_{out} = \dots\dots\dots -0,5 V \dots\dots\dots$$

7. (α) Μη επαναδιεγυριόμενος μονοσταθής πολυδομητής διεγείρεται στα θετικά μέτωπα των παλμών διέγερσης και έχει χρόνο βολής 4 ms. Η σταθερή κατάσταση του πολυδομητή είναι το λογικό 0. Στο σχήμα 3 να σχεδιάσετε τα χρονικά διαγράμματα των δύο (2) εξόδων του πολυδομητή.



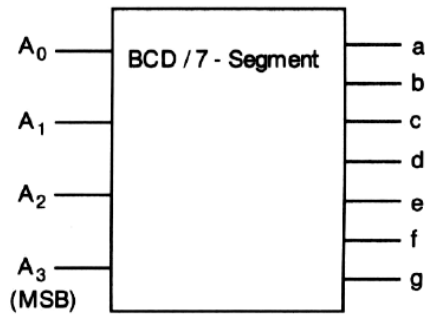
Σχήμα 3

- (β) Να δώσετε δύο (2) εφαρμογές των μονοσταθών πολυδομητών.

Δύο από τις πιο κάτω εφαρμογές

- Κυκλώματα μέτρησης χρόνου
- Κυκλώματα καθυστέρησης
- Κυκλώματα παραγωγής παλμών για τον έλεγχο κυκλωμάτων

8. Στο σχήμα 4 δίνεται το λογικό σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει έναν ενδείκτη 7- τμημάτων.



Σχήμα 4

- (α) Να δώσετε τον αριθμό που θα παριστάνει ο ενδείκτης 7-τμημάτων αν ο κώδικας BCD που εφαρμόζεται στην είσοδο του αποκωδικοποιητή είναι $A_3A_2A_1A_0 = 0111$.

Αριθμός =**7**.....

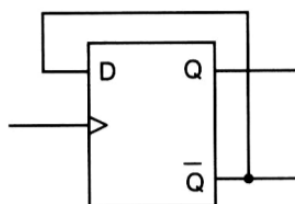
- (β) Σε 7-τμηματική μονάδα ένδειξης ανάβουν τα τμήματα **b, c, f, g** και παριστάνεται ένας αριθμός. Να επιλέξετε τον κώδικα εισόδου BCD που αντιστοιχεί στον αριθμό αυτό:

- (1) 0011
- (2) 1000
- (3) 0100
- (4) 1100
- (5) 0110

Ο αριθμός που παριστάνεται από τα τμήματα b, c, f, g είναι το 4 (BCD: 0100).

Κώδικας BCD =**(3) 0100**.....

9. Στο σχήμα 5 δίνεται το κύκλωμα T Φλιπ Φλοπ.



Σχήμα 5

(α) Να αναφέρετε τι θα συμβεί στην έξοδο Q του Φλιπ Φλοπ όταν εφαρμόσουμε παλμούς ωρολογίου (CLK).

Η λογική κατάσταση των εξόδων του Φλιπ Φλοπ θα αλλάζει κατάσταση σε κάθε παλμό χρονισμού.

(β) Να υπολογίσετε τη συχνότητα της εξόδου Q αν η συχνότητα των παλμών ωρολογίου (CLK) είναι 100 kHz.

$$f_Q = f_{CLK} / 2 = 100 \text{ kHz} / 2 = 50 \text{ kHz}$$

$$f_Q = \dots\dots\dots 50 \text{ kHz} \dots\dots\dots$$

10. Να επιλέξετε τις σωστές απαντήσεις.

(α) Απαριθμητής αποτελούμενος από 8 Φλιπ Φλοπ μπορεί να κάνει αρίθμηση από τον αριθμό 0 μέχρι τον αριθμό:

- (1) 8
- (2) 31
- (3) 64
- (4) 255
- (5) 512

$2^8 = 256$ αριθμοί. Άρα μετρά από το 0 μέχρι το 255.

.....(4) 255.....

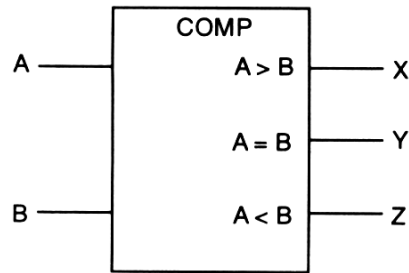
(β) Απαριθμητής με μέτρο 40 αποτελείται από:

- (1) 2 Φλιπ Φλοπ
- (2) 6 Φλιπ Φλοπ
- (3) 8 Φλιπ Φλοπ
- (4) 16 Φλιπ Φλοπ
- (5) 32 Φλιπ Φλοπ

$$2^5 < 40 < 2^6$$

.....(2) 6 Φλιπ Φλοπ

11. Στο σχήμα 6 δίνεται το λογικό σύμβολο ψηφιακού συγκριτή που συγκρίνει δύο αριθμούς του 1-bit.



Σχήμα 6

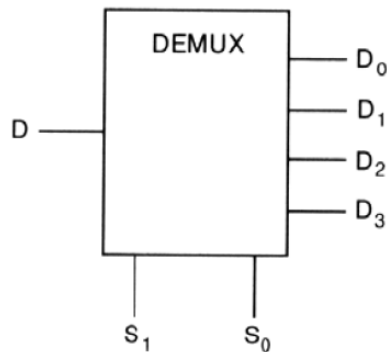
Να δώσετε τις λογικές συναρτήσεις των τριών εξόδων του συγκριτή.

$$X = A \cdot \bar{B}$$

$$Y = \bar{A} \cdot \bar{B} + A \cdot B \quad \text{ή} \quad \overline{A \oplus B}$$

$$Z = \bar{A} \cdot B$$

12. Στο σχήμα 7 δίνεται το λογικό σύμβολο αποπολυπλέκτη μιας γραμμής σε τέσσερις.



Σχήμα 7

Να συμπληρώσετε τον πιο κάτω πίνακα αληθείας του αποπολυπλέκτη (πίνακας 1):

Είσοδοι Επιλογής		Έξοδοι			
S ₁	S ₀	D ₀	D ₁	D ₂	D ₃
0	0	<i>D</i>	<i>0</i>	<i>0</i>	<i>0</i>
0	1	<i>0</i>	<i>D</i>	<i>0</i>	<i>0</i>
1	0	<i>0</i>	<i>0</i>	<i>D</i>	<i>0</i>
1	1	<i>0</i>	<i>0</i>	<i>0</i>	<i>D</i>

Πίνακας 1

ΜΕΡΟΣ Β΄ - Το μέρος Β΄ αποτελείται από τέσσερις (4) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με οκτώ (8) μονάδες.

13. Στο σχήμα 8 δίνεται το λογικό σύμβολο του αποκωδικοποιητή 2 bit σε 4 γραμμές.



Σχήμα 8

(α) Να συμπληρώσετε τον πιο κάτω πίνακα αληθείας του αποκωδικοποιητή (πίνακας 2):

Α/Α	Είσοδοι		Έξοδοι			
	A ₁	A ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	1
1	0	1	0	0	1	0
2	1	0	0	1	0	0
3	1	1	1	0	0	0

Πίνακας 2

(β) Να γράψετε τις λογικές συναρτήσεις των τεσσάρων (4) εξόδων του αποκωδικοποιητή του σχήματος 8.

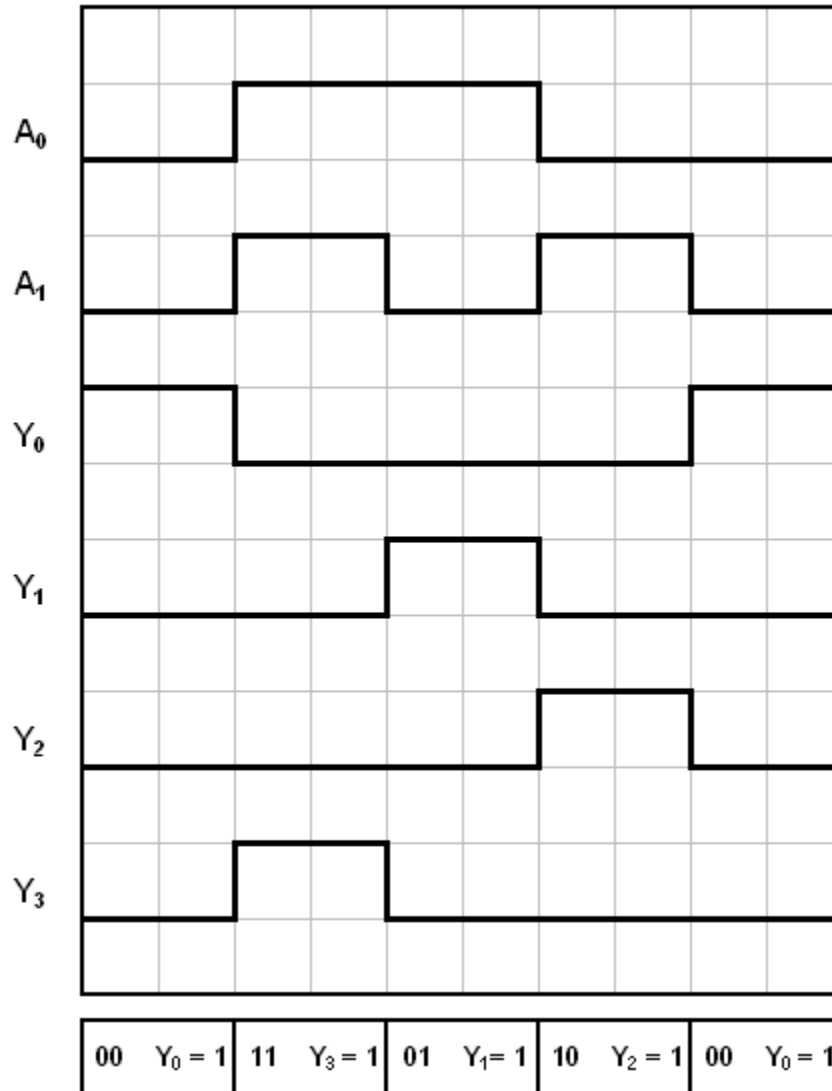
$$Y_0 = \bar{A}_1 \cdot \bar{A}_0 \quad (0 \ 0)$$

$$Y_1 = \bar{A}_1 \cdot A_0 \quad (0 \ 1)$$

$$Y_2 = A_1 \cdot \bar{A}_0 \quad (1 \ 0)$$

$$Y_3 = A_1 \cdot A_0 \quad (1 \ 1)$$

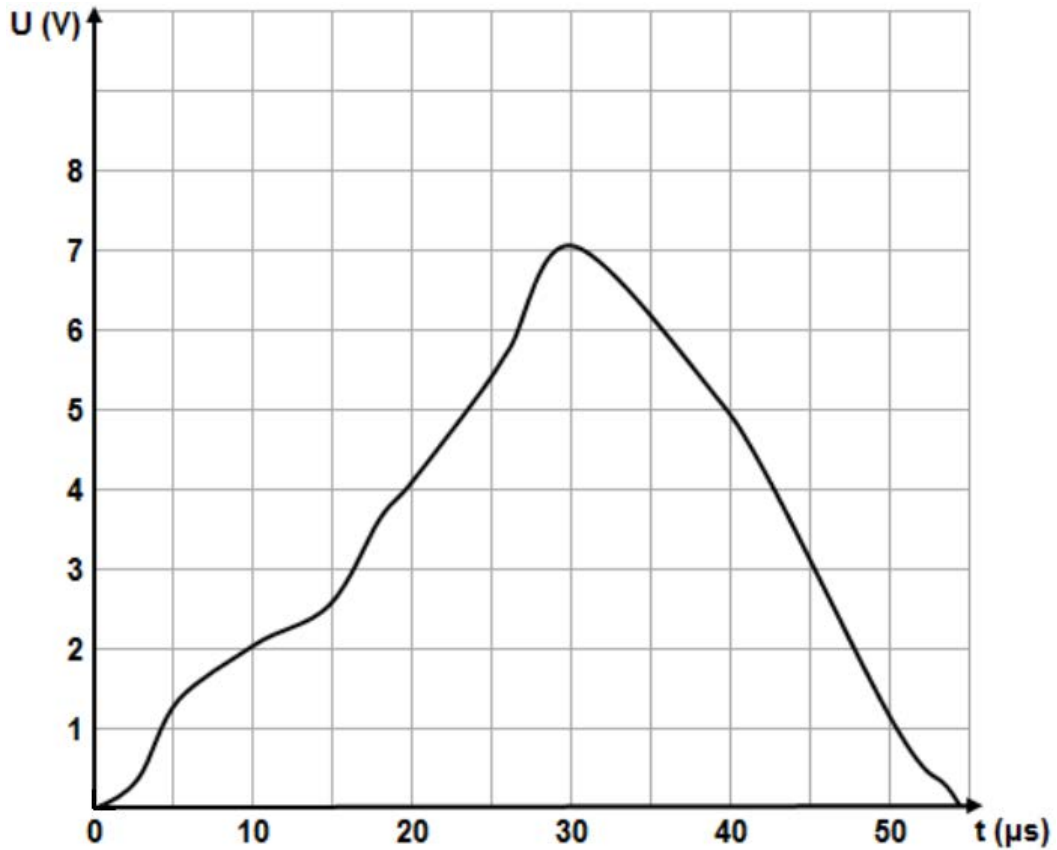
(γ) Στο σχήμα 9 δίνονται τα χρονικά διαγράμματα του κώδικα που εφαρμόζεται στην είσοδο του αποκωδικοποιητή του σχήματος 8. Να σχεδιάσετε τα χρονικά διαγράμματα των τεσσάρων εξόδων του αποκωδικοποιητή, Y_0 , Y_1 , Y_2 και Y_3 .



Σχήμα 9

14. Δίνεται το αναλογικό σήμα του σχήματος 10.
 Η συχνότητα δειγματοληψίας είναι κάθε 10 μs και στο ψηφίο με την ελάχιστη
 σημαντική αξία (LSB) αντιστοιχεί τάση ίση με 1 V.

(α) Να το μετατρέψετε σε ψηφιακό σήμα 3-bit και να συμπληρώσετε τον πίνακα 3.

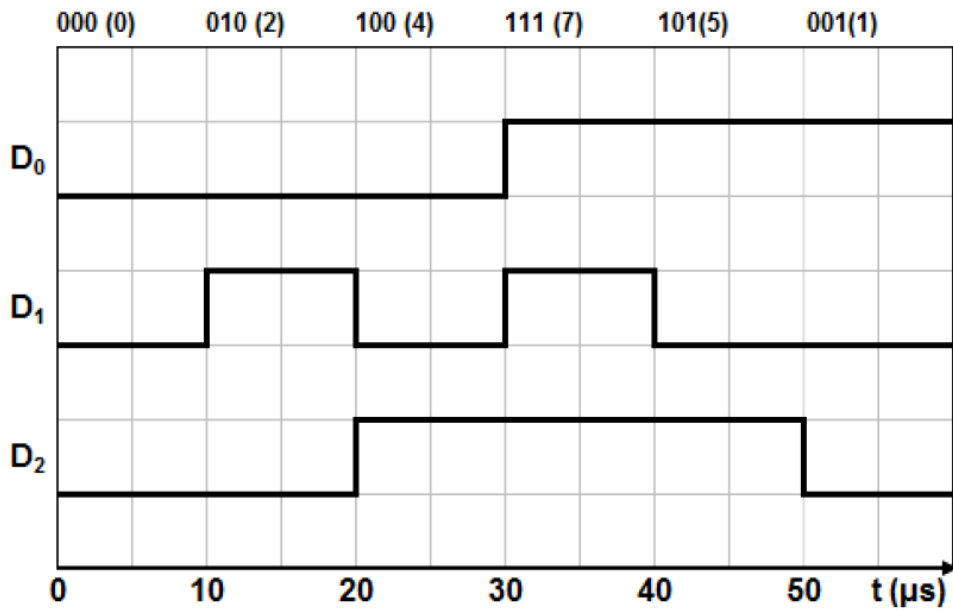


Σχήμα 10

Χρόνος (μs)	Αναλογικό Σήμα (V)	Ψηφιακό Σήμα		
		D ₂	D ₁	D ₀
0	0	0	0	0
10	2	0	1	0
20	4	1	0	0
30	7	1	1	1
40	5	1	0	1
50	1	0	0	1

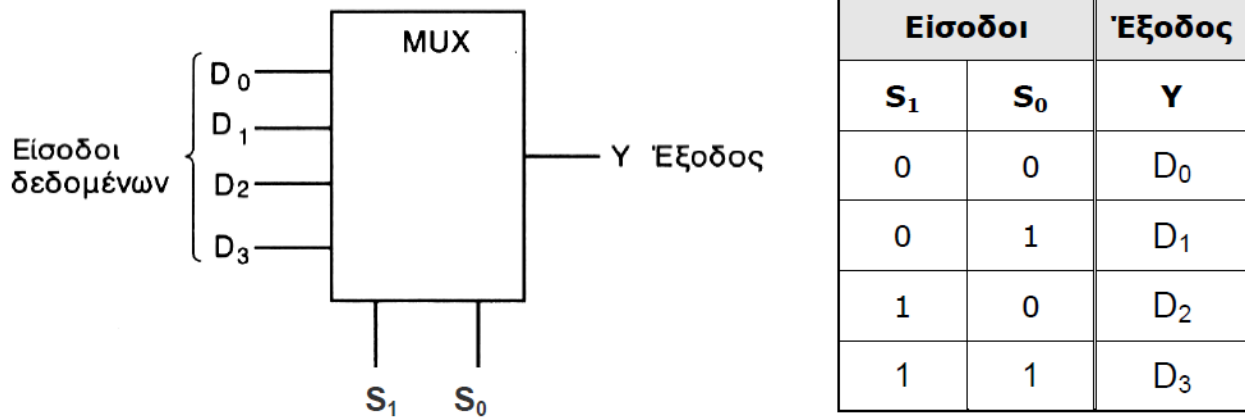
Πίνακας 3

(β) Στο σχήμα 11 να σχεδιάσετε το αντίστοιχο ψηφιακό σήμα.



Σχήμα 11

15. Στο σχήμα 12 δίνεται το λογικό σύμβολο και ο πίνακας αληθείας του πολυπλέκτη με 4 γραμμές εισόδου δεδομένων και δύο γραμμές επιλογής εισόδου S_0 και S_1 .

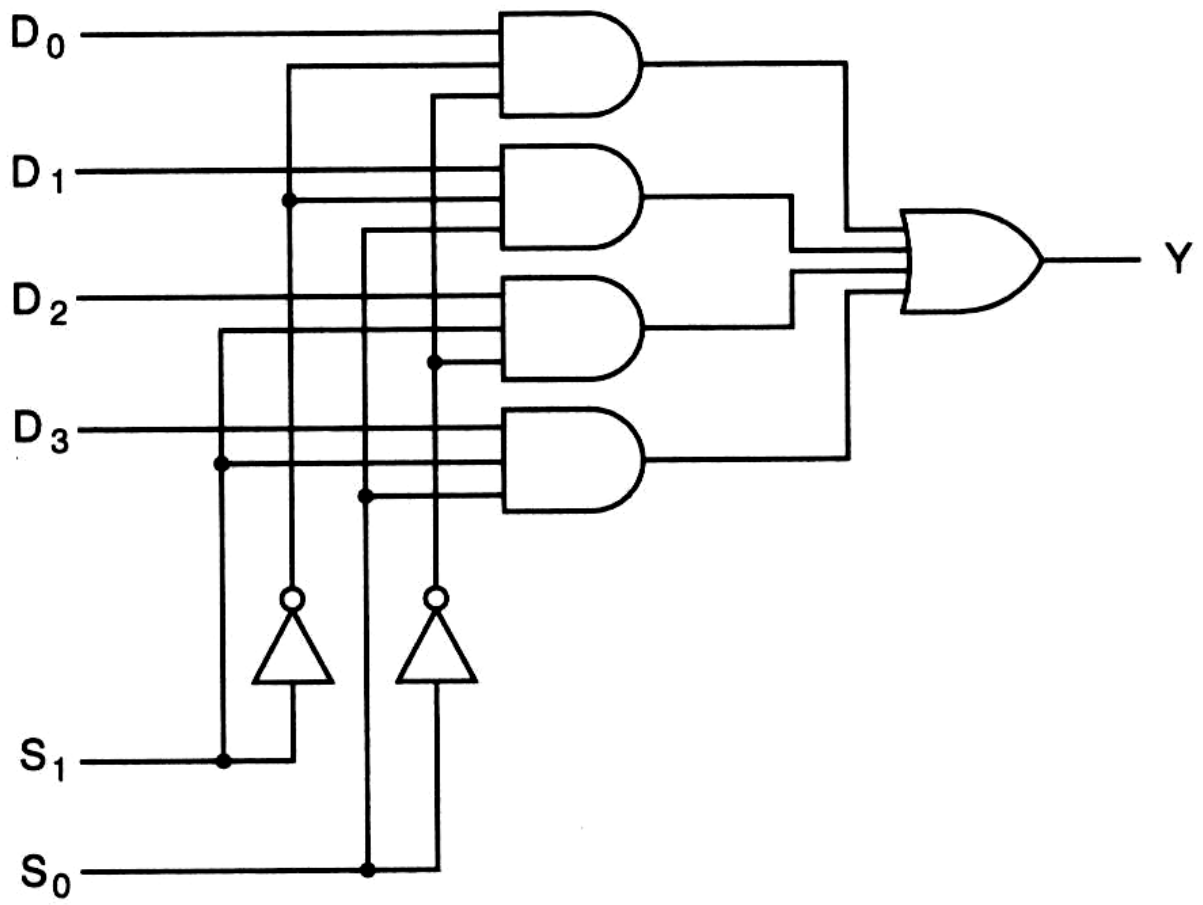


Σχήμα 12

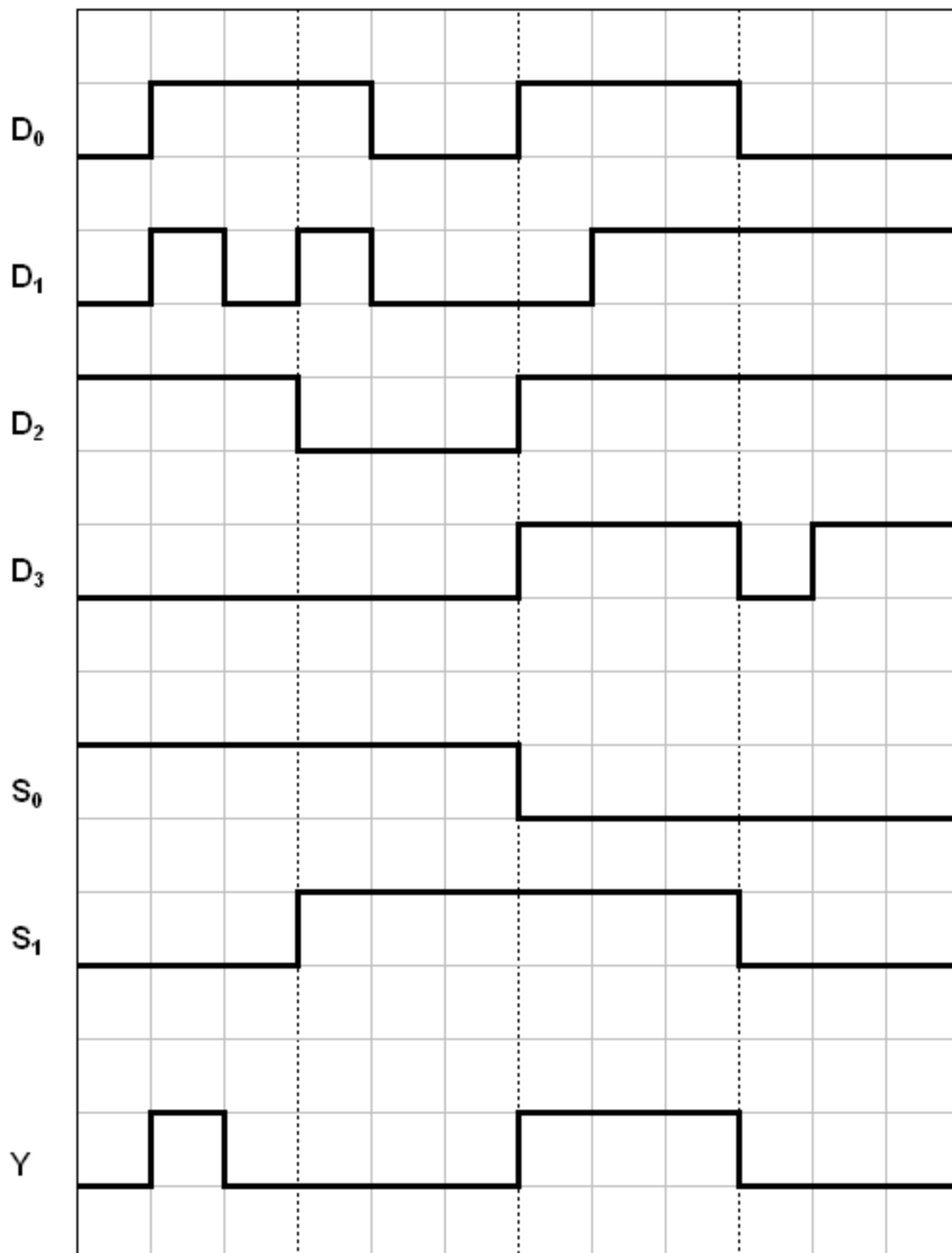
(α) Να γράψετε τη λογική συνάρτηση της εξόδου (Y) του πολυπλέκτη.

$$Y = \overline{S_1}\overline{S_0}D_0 + \overline{S_1}S_0D_1 + S_1\overline{S_0}D_2 + S_1S_0D_3$$

(β) Να σχεδιάσετε το λογικό κύκλωμα του πολυπλέκτη.



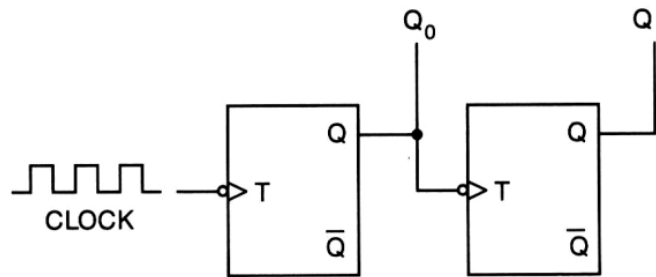
(γ) Στο σχήμα 13 δίνονται τα χρονικά διαγράμματα των εισόδων πολυπλέκτη με 4 γραμμές εισόδου δεδομένων και δύο γραμμές επιλογής εισόδου S_0 και S_1 . Να σχεδιάσετε το λογικό διάγραμμα της εξόδου Y του πολυπλέκτη.



$S_1 S_0 = 01$	$S_1 S_0 = 11$	$S_1 S_0 = 10$	$S_1 S_0 = 00$
$Y = D_1$	$Y = D_3$	$Y = D_2$	$Y = D_0$

Σχήμα 13

16. Στο σχήμα 14 δίνεται το κύκλωμα ασύγχρονου δυαδικού απαριθμητή.

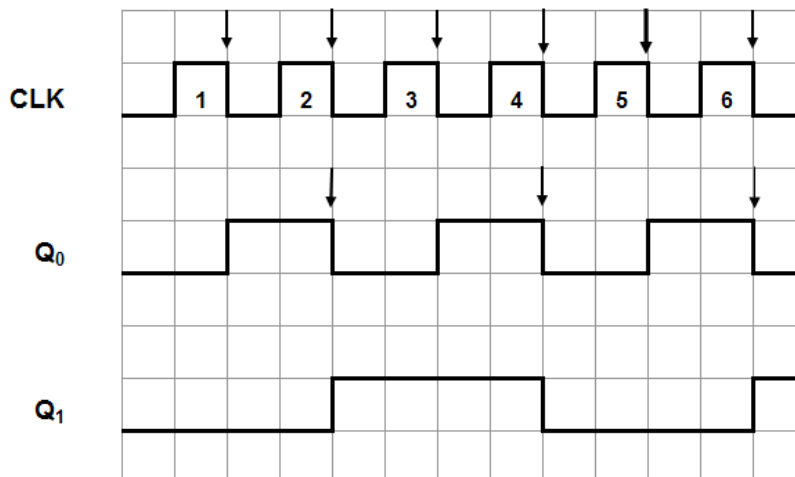


Σχήμα 14

(α) Να αναφέρετε την κατεύθυνση αρίθμησης του απαριθμητή.

Ο απαριθμητής μετρά προς τα πάνω.

(β) Στο σχήμα 15 να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων Q του πιο πάνω απαριθμητή για 6 παλμούς του ωρολογίου (CLK). Η αρχική κατάσταση του απαριθμητή είναι RESET.



Σχήμα 15

(γ) Να συμπληρώσετε τον πίνακα λειτουργίας του κυκλώματος του απαριθμητή του σχήματος 14 για 4 παλμούς του ωρολογίου (CLK) (πίνακας 4):

Ρολόι (CLK) A/A	Q ₁	Q ₀
0	0	0
1	0	1
2	1	0
3	1	1
4	0	0

Πίνακας 4

ΜΕΡΟΣ Γ' - Το μέρος Γ' αποτελείται από δύο (2) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με δέκα (10) μονάδες.

17. (α) Δίνονται οι τέσσερις τύποι καταχωρητών:

- Διαδοχική είσοδος και διαδοχική έξοδος
- Διαδοχική είσοδος και παράλληλη έξοδος
- Παράλληλη είσοδος και παράλληλη έξοδος
- Παράλληλη είσοδος και διαδοχική έξοδος

Να αναφέρετε τον τύπο καταχωρητή που θα χρησιμοποιούσατε για να μετατρέψετε ένα ψηφιακό σήμα:

(1) Από παράλληλο σε σειριακό.

Παράλληλη είσοδος και διαδοχική έξοδος.

(2) Από σειριακό σε παράλληλο.

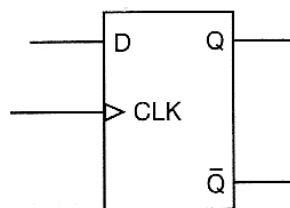
Διαδοχική είσοδος και παράλληλη έξοδος.

(β) Να υπολογίσετε πόσοι χρονικοί παλμοί απαιτούνται για να φορτωθεί σειριακά και να βγει σειριακά ένα byte σε καταχωρητή των 8-bit.

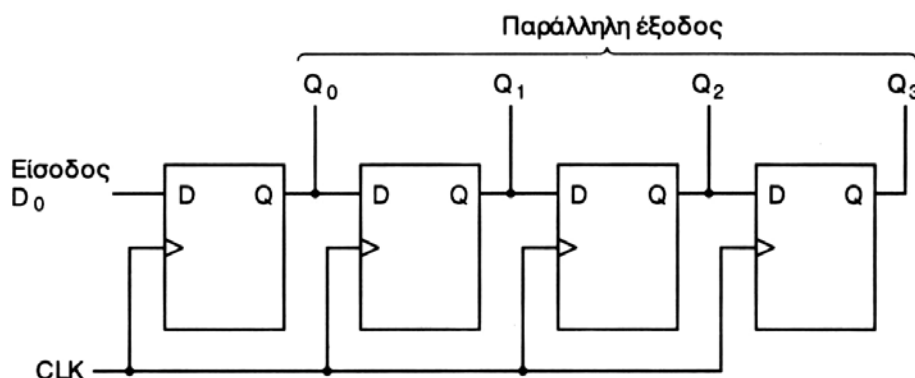
1 byte = 8 bit

Θα χρειαστούν (8 + 8 =) 16 χρονικοί παλμοί

(γ) Με τη χρήση του D Φλιπ Φλοπ του σχήματος 16, να σχεδιάσετε έναν καταχωρητή 4 bit με διαδοχική είσοδο και παράλληλη έξοδο.



Σχήμα 16



(δ) Να αναφέρετε δύο (2) πρακτικές εφαρμογές των καταχωρητών.

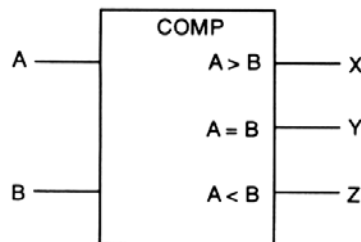
Δύο από τις πιο κάτω εφαρμογές

- **Κυκλώματα χρονικής καθυστέρησης**
- **Επικοινωνία συστήματος μικροεπεξεργαστή με περιφερειακή μονάδα (μετατροπή σειριακού ψηφιακού σήματος σε παράλληλο)**
- **Εκτέλεση αριθμητικής πράξης πολλαπλασιασμού και διαίρεσης**
- **Αποθήκευση και μεταφορά πληροφοριών σε ψηφιακά συστήματα**

18. (α) Να δώσετε τον ορισμό του «ψηφιακού συγκριτή».

Ο ψηφιακός συγκριτής είναι ένα συνδυαστικό λογικό κύκλωμα, που συγκρίνει δύο αριθμούς, για παράδειγμα A και B και βρίσκει αν είναι ίσοι ή ποιος από τους δύο είναι ο πιο μεγάλος.

(β) Στο σχήμα 17 δίνεται το λογικό σύμβολο του ψηφιακού συγκριτή που συγκρίνει δύο αριθμούς του 1-bit.



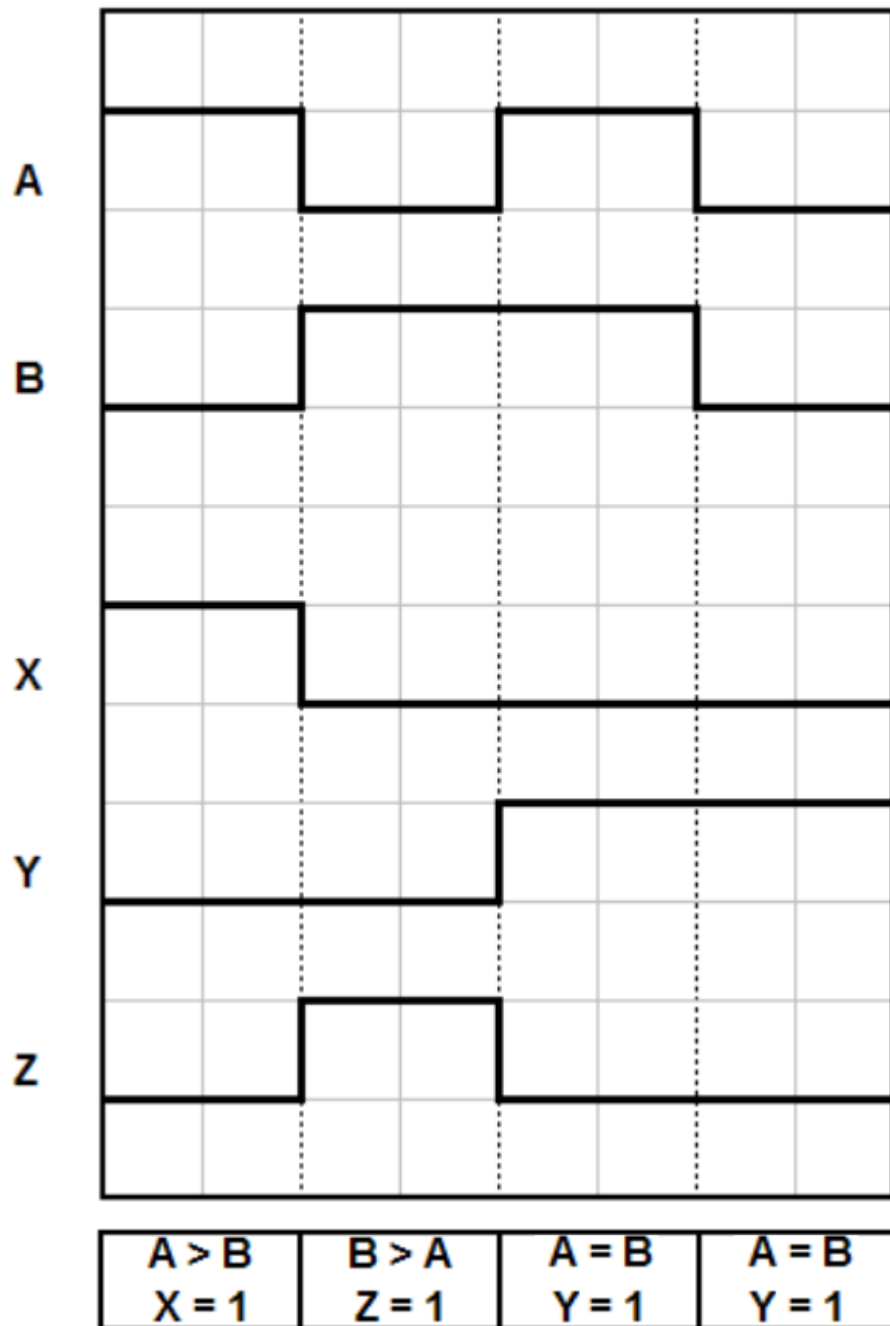
Σχήμα 17

Να συμπληρώσετε τον πιο κάτω πίνακα αληθείας του συγκριτή (πίνακας 5):

Είσοδοι		Έξοδοι		
A	B	X	Y	Z
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Πίνακας 5

(γ) Στο σχήμα 18 δίνονται τα χρονικά διαγράμματα των εισόδων του ψηφιακού συγκριτή 1-bit. Να σχεδιάσετε τα λογικά διαγράμματα των τριών εξόδων του, X, Y και Z.



Σχήμα 18

----- ΤΕΛΟΣ ΛΥΣΕΩΝ -----