

**ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΠΟΛΙΤΙΣΜΟΥ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ**

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ 2018

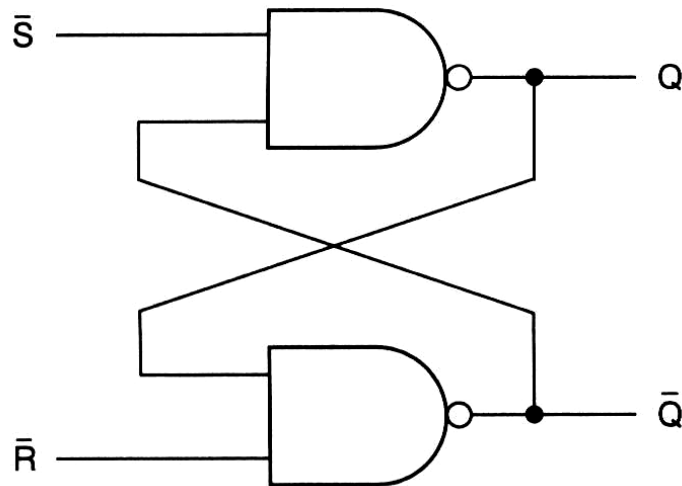
ΤΕΧΝΟΛΟΓΙΑ (ΙΙ) ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΘΕΩΡΗΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Ψηφιακά Ηλεκτρονικά (155)
Ημερομηνία : Παρασκευή, 8 Ιουνίου 2018
Ωρα εξέτασης : 08:00 – 10:30

Λύσεις

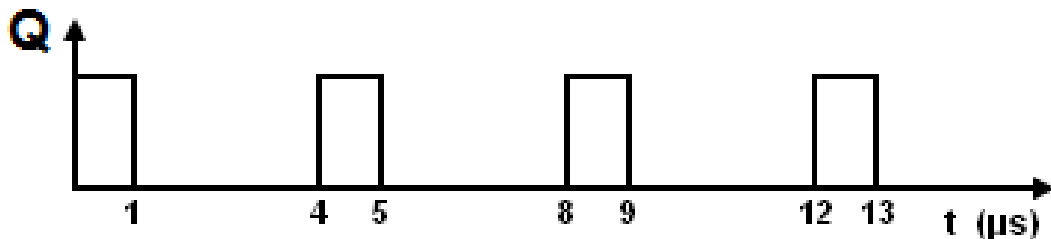
ΜΕΡΟΣ Α΄ - Το μέρος Α΄ αποτελείται από δώδεκα (12) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με τέσσερις (4) μονάδες.

1. Να σχεδιάσετε το λογικό κύκλωμα ασύγχρονου SR Φλιπ Φλοπ με τη χρήση δύο πυλών NAND.



2. Στο σχήμα 1, δίνεται η κυματομορφή εξόδου (Q) ενός ασταθή πολυδονητή. Να υπολογίσετε:

- (α) την περίοδο, T
(β) τη συχνότητα, f
(γ) τον κύκλο δράσης, d.



Σχήμα 1

Περίοδος $T = 4 \mu s$

Συχνότητα $f = \frac{1}{T} = \frac{1}{4 \mu s} = \frac{1}{4 \cdot 10^{-6} s} = 250000 \text{ Hz} = 250 \text{ kHz}$

Κύκλος δράσης $d = \frac{t_H}{T} \cdot 100\% = \frac{1}{4} \cdot 100\% = 25\%$

3. (α) Τί εννοούμε με τον όρο «καθυστέρηση διάδοσης» μιας λογικής οικογένειας;

Η καθυστέρηση διάδοσης μιας λογικής οικογένειας είναι ο χρόνος που χρειάζεται για να μεταφερθεί στην έξοδο μιας πύλης μια μεταβολή, που λαμβάνει χώρα στην είσοδό της.

(β) Να αναφέρετε δύο πλεονεκτήματα της λογικής οικογένειας CMOS έναντι της λογικής οικογένειας TTL.

Δύο από τα πιο κάτω πλεονεκτήματα

- ***Μικρή κατανάλωση ισχύος***
- ***Έχουν μικρό όγκο τρανζίστορ και μεγάλη πυκνότητα ολοκλήρωσης***
- ***Μεγάλο περιθώριο θορύβου***
- ***Κυμαινόμενη τάση τροφοδοσίας***
- ***Μεγάλη ικανότητα οδήγησης***

4. (α) Να αναφέρετε τι είναι το «ψηφίο ισοτιμίας» και τον σκοπό που εξυπηρετεί.

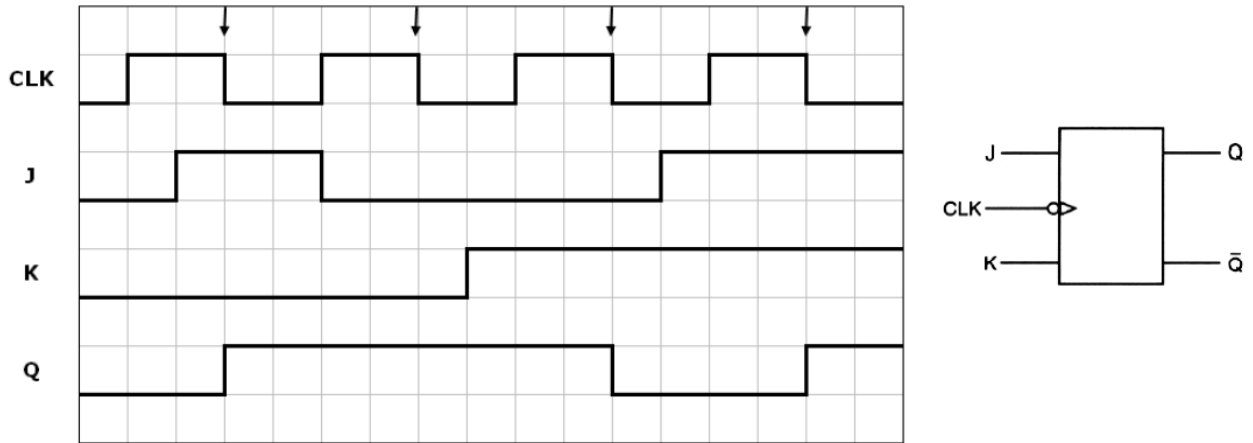
Το ψηφίο ισοτιμίας είναι ένα επιπρόσθετο bit στον κώδικα δεδομένων, έτσι που ο συνολικός αριθμός των '1' να είναι πάντοτε μονός ή ζυγός και χρησιμοποιείται στα ψηφιακά συστήματα για την αναγνώριση λαθών στην μεταφορά ή επεξεργασία δεδομένων.

(β) Να υπολογίσετε το ζυγό ψηφίο ισοτιμίας για τους πιο κάτω κώδικες:

(1) 10010.....

(2) 10111.....

5. Στο σχήμα 2 δίνεται το λογικό σύμβολο και τα χρονικά διαγράμματα εισόδου σύγχρονου JK Φλιπ Φλοπ.
 Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του Φλιπ Φλοπ. Η αρχική κατάσταση της εξόδου Q του Φλιπ Φλοπ είναι το λογικό 0 (RESET).



Σχήμα 2

6. (α) Να επιλέξετε την σωστή απάντηση.
 Ένας κυκλικός ολισθητής των 4-bit μπορεί να χρησιμοποιηθεί σαν κυκλικός απαριθμητής εάν η καταχωρημένη κωδική λέξη στον ολισθητή είναι:

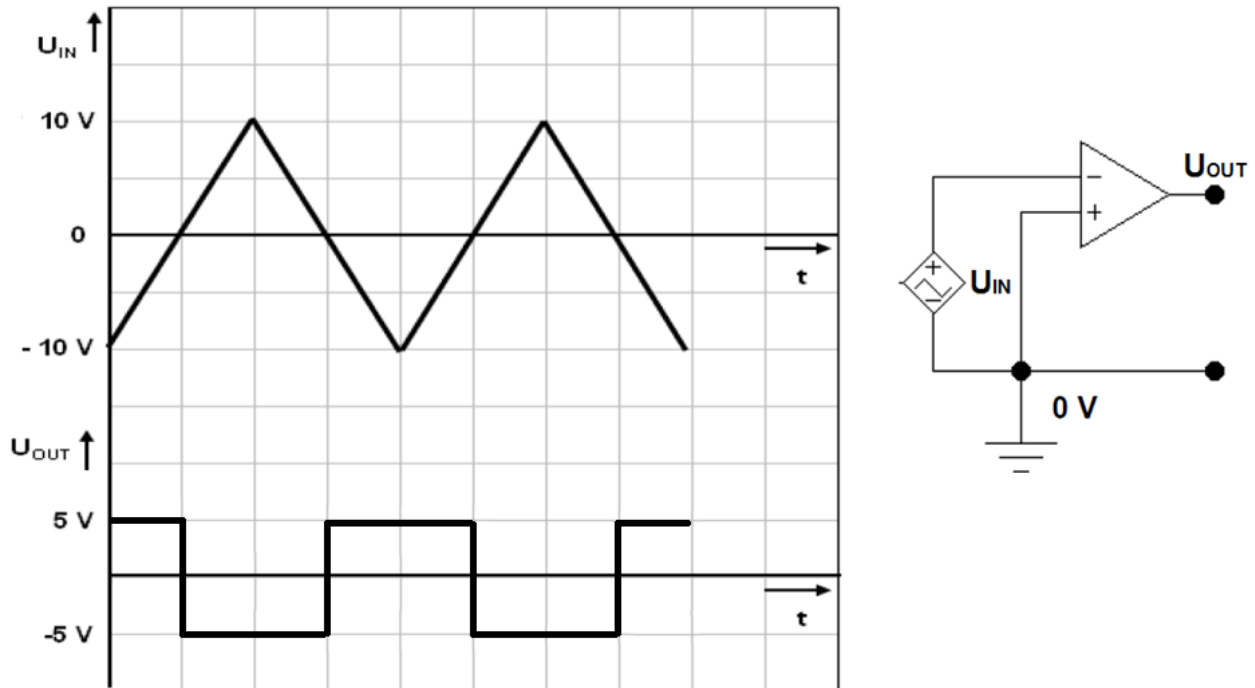
- (1) 0000
- (2) 0111
- (3) 0010
- (4) 1010

.....(3) 0010.....

- (β) Να αναφέρετε τον τύπο του καταχωρητή που θα χρησιμοποιούσατε για τη μετατροπή ενός παράλληλου σήματος σε σειριακό.

Καταχωρητής με παράλληλη είσοδο και διαδοχική έξοδο (καταχωρητής PISO).

7. (α) Στο σχήμα 3 δίνεται το κύκλωμα συγκριτή τάσης και τα σήματα που εφαρμόζονται στις δύο εισόδους του. Εάν οι μέγιστες τάσεις εξόδου είναι $\pm 5 \text{ V}$, να σχεδιάσετε στο σχήμα 3 το σήμα εξόδου (U_{OUT}) του συγκριτή.



Σχήμα 3

- (β) Να δώσετε τον ορισμό του «συγκριτή τάσης».

Ο συγκριτής τάσης είναι ένα κύκλωμα που συγκρίνει τις τάσεις που εφαρμόζονται στις δύο εισόδους του, τη θετική και την αρνητική είσοδο.

[Αν η τιμή της τάσης στη θετική είσοδο είναι πιο μεγάλη από την τιμή της τάσης στην αρνητική είσοδο του τελεστικού ενισχυτή, τότε η έξοδος οδηγείται στη ψηλή τιμή εξόδου.

Αντίθετα αν η τιμή της τάσης στην αρνητική είσοδο είναι πιο μεγάλη από την τιμή της τάσης στην θετική είσοδο, τότε η έξοδος του οδηγείται στη χαμηλή τιμή εξόδου.]

8. (α) Να δώσετε τον ορισμό του «ψηφιακού κωδικοποιητή».

Ο κωδικοποιητής είναι ένα συνδυαστικό λογικό κύκλωμα με M εισόδους, από τις οποίες ενεργοποιείται μόνο μια κάθε φορά, με αποτέλεσμα να σχηματίζεται στην έξοδο του κυκλώματος ένας κώδικας από N bit.

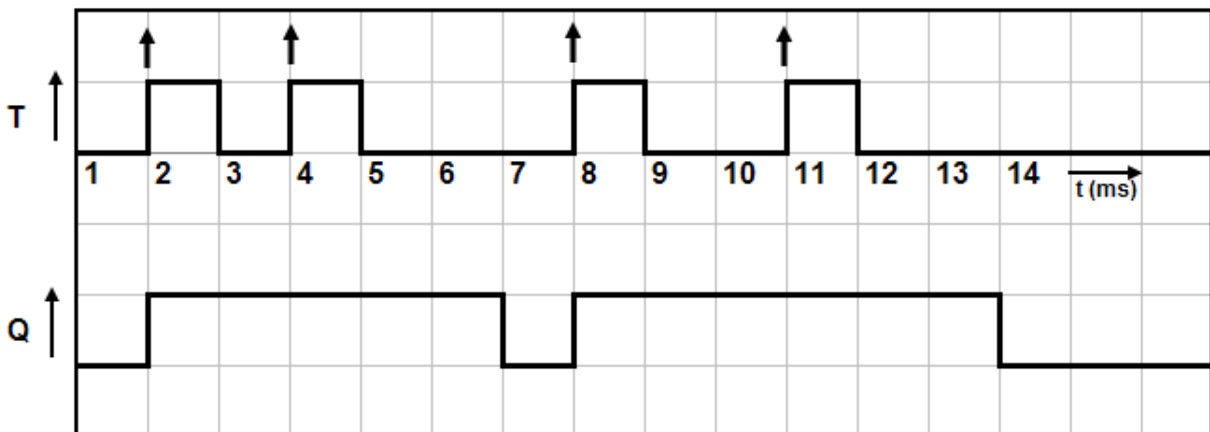
(β) Να υπολογίσετε πόσα bit χρειάζονται για να κωδικοποιήσουμε τους 107 χαρακτήρες ενός πληκτρολογίου.

$$2^6 < 107 < 2^7$$

Χρειάζονται 7 bits.

9. Στο σχήμα 4 δίνεται το χρονικό διάγραμμα εισόδου επαναδιεγερόμενου μονοσταθί πολυδονητή, ο οποίος διεγείρεται στα θετικά μέτωπα των παλμών διέγερσης και έχει χρόνο βολής 3 ms. Η σταθερή κατάσταση του μονοσταθί πολυδονητή είναι η λογική κατάσταση 0.

Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του πολυδονητή κάτω από το χρονικό διάγραμμα των παλμών διέγερσης.



Σχήμα 4

10. (α) Να αναφέρετε δύο διαφορές του σύγχρονου από τον ασύγχρονο απαριθμητή.

Δύο από τις πιο κάτω διαφορές

- **Οι χρονικοί παλμοί μέτρησης σε ένα σύγχρονο απαριθμητή εφαρμόζονται ταυτόχρονα σε όλα τα Φλιπ Φλοπ (κοινό ρολόι), ενώ αντίθετα σε ένα ασύγχρονο απαριθμητή οι παλμοί μέτρησης εφαρμόζονται στο πρώτο Φλιπ Φλοπ και η έξοδος του πρώτου συνδέεται στην είσοδο χρονισμού του δεύτερου κ.ο.κ.**
- **Ο σύγχρονος απαριθμητής είναι πιο γρήγορος από τον ασύγχρονο.**
- **Στον σύγχρονο απαριθμητή το πρώτο Φλιπ Φλοπ δουλεύει ως εναλλάκτης (toggle) και τα υπόλοιπα δουλεύουν εναλλακτικά, ανά ένα παλμό, ως Toggle και ως Memory, ενώ στον ασύγχρονο όλα τα Φλιπ Φλοπ δουλεύουν εναλλακτικά (toggle).**

(β) Να υπολογίσετε το μέγιστο μέτρο απαριθμητή με 7 Φλιπ Φλοπ.

Μέγιστο Μέτρο = $2^7 = 128$

11. (α) Να αναφέρετε τη διαφορά των ψηφιακών σημάτων από τα αναλογικά (όσον αφορά στις τιμές που παίρνουν).

Τα αναλογικά σήματα παίρνουν άπειρες τιμές, ενώ αντίθετα τα ψηφιακά παίρνουν μόνο δύο τιμές, την ψηλή (λογικό1) και τη χαμηλή (λογικό 0).

(β) Να αναφέρετε το πλεονέκτημα του παράλληλου μετατροπέα A/D (μετατροπέας Flash), έναντι του μετατροπέα διαδοχικών προσεγγίσεων A/D.

Ο μετατροπέας Flash είναι πολύ πιο γρήγορος με άμεση μετατροπή σε σχέση με το μετατροπέα διαδοχικών προσεγγίσεων.

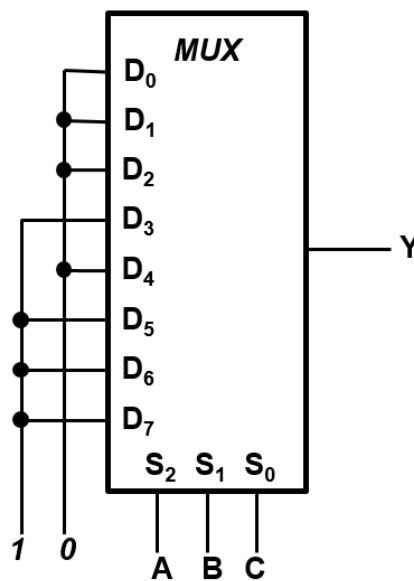
12. Έναν εργοστάσιο έχει τρία μηχανήματα (A, B, C). Το κάθε μηχάνημα διαθέτει αισθητήρα ο οποίος δηλώνει αν το μηχάνημα βρίσκεται σε λειτουργία ή όχι. Όταν ένα μηχάνημα βρίσκεται σε λειτουργία, ο αισθητήρας του έχει λογική κατάσταση «1».

(α) Με βάση τα πιο πάνω δεδομένα, να συμπληρώσετε τον ακόλουθο πίνακα αληθείας (πίνακας 1) ώστε σε περίπτωση που δύο ή τρία μηχανήματα λειτουργούν ταυτόχρονα, να δίνεται σήμα $Y = 1$ στην έξοδο του κυκλώματος.

| A | B | C | Y | D |
|---|---|---|---|----------------|
| 0 | 0 | 0 | 0 | D ₀ |
| 0 | 0 | 1 | 0 | D ₁ |
| 0 | 1 | 0 | 0 | D ₂ |
| 0 | 1 | 1 | 1 | D ₃ |
| 1 | 0 | 0 | 0 | D ₄ |
| 1 | 0 | 1 | 1 | D ₅ |
| 1 | 1 | 0 | 1 | D ₆ |
| 1 | 1 | 1 | 1 | D ₇ |

Πίνακας 1

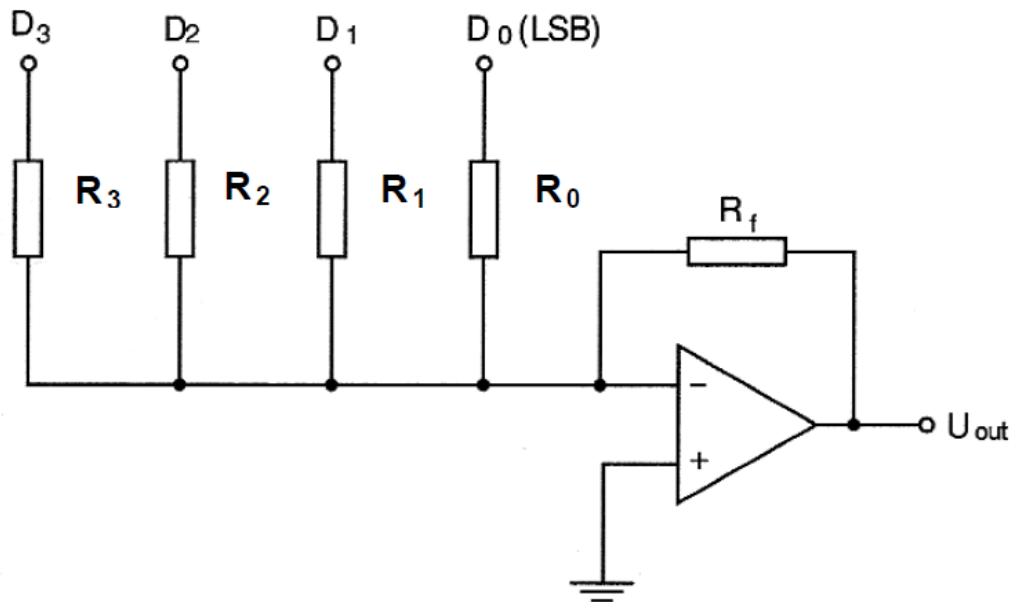
(β) Να κάνετε τις συνδέσεις που απαιτούνται στον πολυπλέκτη 8x1 του σχήματος 5, ώστε να υλοποιηθεί ο πίνακας αληθείας της ερώτησης 12(α) (πίνακας 1).



Σχήμα 5

ΜΕΡΟΣ Β΄ - Το μέρος Β΄ αποτελείται από τέσσερις (4) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με οκτώ (8) μονάδες.

13. Στο σχήμα 6 δίνεται το κύκλωμα μετατροπέα ψηφιακού σήματος σε αναλογικό με σταθμισμένες αντιστάσεις στο δυαδικό σύστημα.



Σχήμα 6

(α) Αν η αντίσταση $R_3 = 25 \text{ k}\Omega$, να υπολογίσετε τις τιμές των αντιστάσεων R_0 , R_1 και R_2 .

$$R_0 = \dots 200 \text{ k}\Omega \dots$$

$$R_1 = \dots 100 \text{ k}\Omega \dots$$

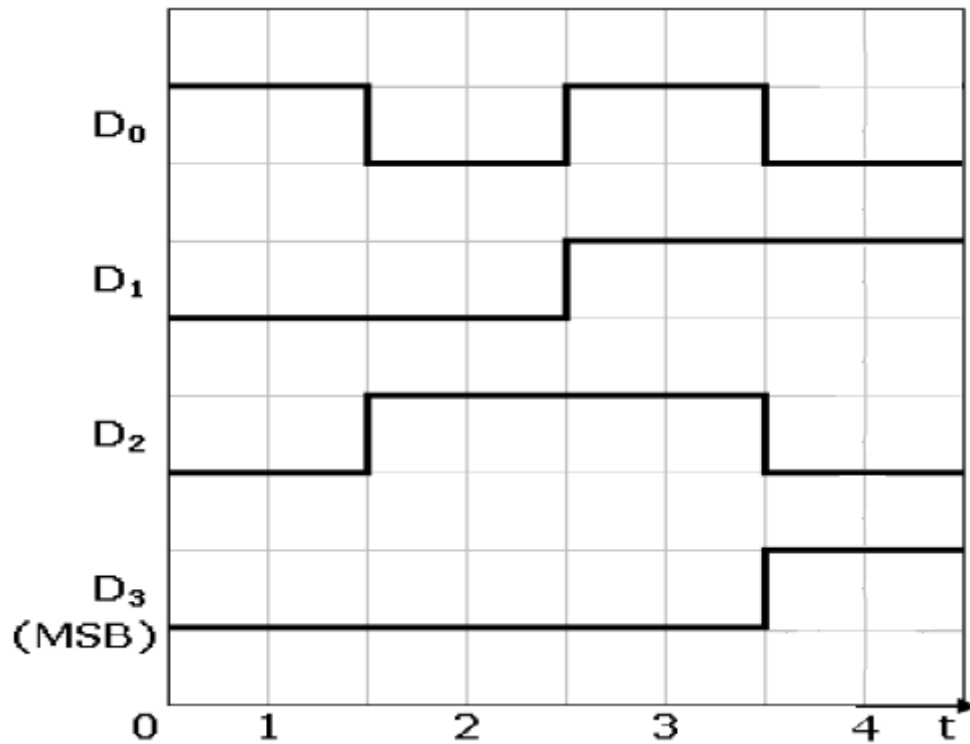
$$R_2 = \dots 50 \text{ k}\Omega \dots$$

(β) Να υπολογίσετε την τάση (U_{out}) στην έξοδο του μετατροπέα για τη λογική κατάσταση εισόδου $D_3D_2D_1D_0 = 0001$, όταν η αντίσταση $R_f = 40 \text{ k}\Omega$ και η τάση εισόδου $U_{in} = 5 \text{ V}$.

$$U_{out} = -U_{in} \frac{R_f}{8R} (8D_3 + 4D_2 + 2D_1 + D_0)$$

$$U_{out} = -5 \cdot \frac{40}{8 \cdot 25} \cdot (8 \cdot 0 + 4 \cdot 0 + 2 \cdot 0 + 1) = -\frac{200}{200} \cdot (1) = -1 \text{ V}$$

(γ) Στο σχήμα 7 δίνεται το ψηφιακό σήμα που εφαρμόζεται στην είσοδο του μετατροπέα του σχήματος 6.



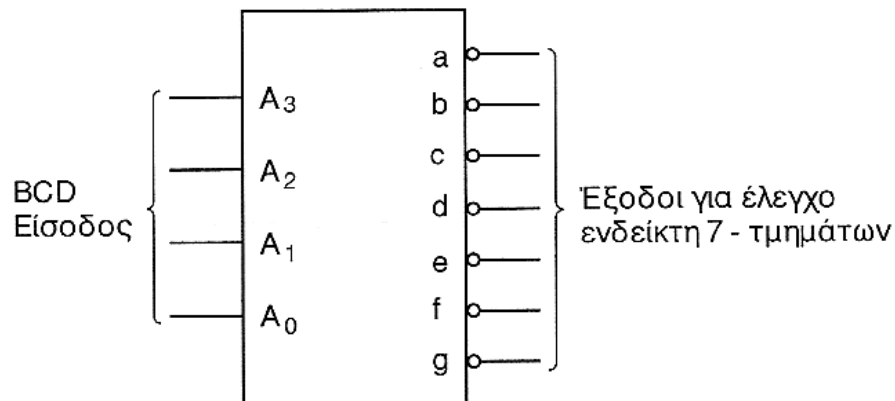
Σχήμα 7

Να συμπληρώσετε τον πίνακα 2 πιο κάτω με τις τιμές του ψηφιακού σήματος εισόδου (D_3 , D_2 , D_1 , D_0) και του αναλογικού σήματος εξόδου (U_{out}) του μετατροπέα.

| Α/Α | ΕΙΣΟΔΟΣ | | | | ΕΞΟΔΟΣ |
|-----|---------|-------|-------|-------|---------------|
| | D_3 | D_2 | D_1 | D_0 | U_{out} (V) |
| 1 | 0 | 0 | 0 | 1 | -1 |
| 2 | 0 | 1 | 0 | 0 | -4 |
| 3 | 0 | 1 | 1 | 1 | -7 |
| 4 | 1 | 0 | 1 | 0 | -10 |

Πίνακας 2

14. Στο σχήμα 8 δίνεται το σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει τον ενδείκτη 7-τμημάτων.



Σχήμα 8

- (α) Να αναφέρετε τον αριθμό που θα παριστάνει ο ενδείκτης 7-τμημάτων που συνδέεται στην έξοδο του αποκωδικοποιητή, αν η λογική κατάσταση των εισόδων του, είναι $A_3A_2A_1A_0 = 0101$.

Αριθμός =**5**.....

- (β) Να δώσετε τη λογική κατάσταση των εξόδων του αποκωδικοποιητή για τον αριθμό της ερώτησης 14(α).

$a = \dots 0 \dots$ $b = \dots 1 \dots$ $c = \dots 0 \dots$ $d = \dots 0 \dots$

$e = \dots 1 \dots$ $f = \dots 0 \dots$ $g = \dots 0 \dots$

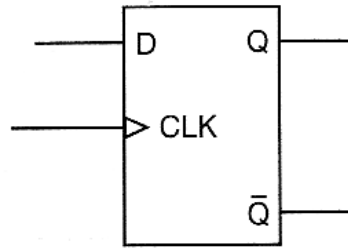
- (γ) Να αναφέρετε ποιον τύπο 7-τμηματικής μονάδας ένδειξης LED θα χρησιμοποιούσατε στην έξοδο του αποκωδικοποιητή.

Κοινής Ανόδου

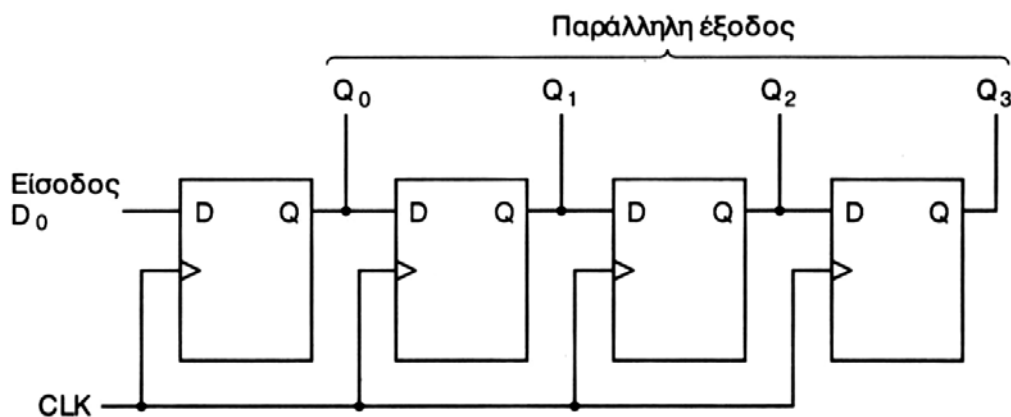
- (δ) Να αναφέρετε γιατί οι οθόνες LCD έχουν καθιερωθεί σε όργανα και συσκευές που εργάζονται με μπαταρίες αντί των οθονών LED.

- **Οι οθόνες LCD έχουν πολύ μικρή κατανάλωση ενέργειας και άρα προτιμούνται σε όργανα και συσκευές που εργάζονται με μπαταρίες.**

15. (α) Με τη χρήση του D Φλιπ Φλοπ του σχήματος 9, να σχεδιάσετε ένα καταχωρητή 4 bit με διαδοχική είσοδο και παράλληλη έξοδο.



Σχήμα 9



- (β) Να υπολογίσετε πόσοι ωρολογιακοί παλμοί απαιτούνται, για να αποθηκευτεί και να εξέλθει μια πληροφορία των 4-bit στον καταχωρητή που σχεδιάσατε στην ερώτηση 15(α) πιο πάνω.

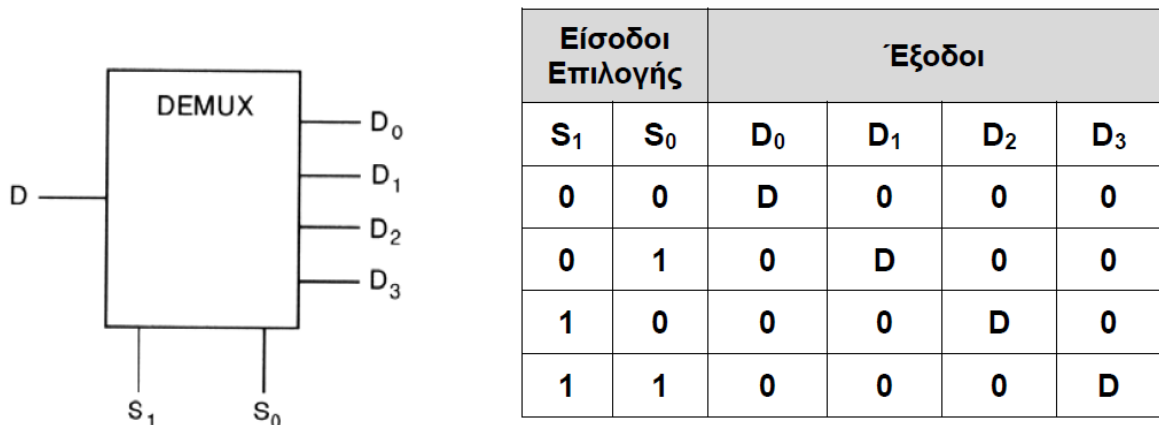
Απαιτούνται 4 ωρολογιακοί παλμοί.

- (γ) Αν η συχνότητα του ωρολογίου (CLK) είναι 200 MHz, να υπολογίσετε το συνολικό χρόνο που θα χρειαστεί για να αποθηκευτεί πληροφορία 4-bit στον καταχωρητή της ερώτησης 15(α) πιο πάνω.

Χρονικός παλμός, $T = \frac{1}{f} = \frac{1}{200 \text{ MHz}} = 5 \text{ ns}$

Συνολικό χρόνος αποθήκευσης = $4 \cdot T = 4 \times 5 \text{ ns} = 20 \text{ ns}$

16. Στο σχήμα 10 δίνεται το λογικό σύμβολο και ο πίνακας λειτουργίας του αποπολυπλέκτη μιας γραμμής σε τέσσερις.



Σχήμα 10

(α) Να γράψετε τις λογικές συναρτήσεις των τεσσάρων εξόδων του αποπολυπλέκτη.

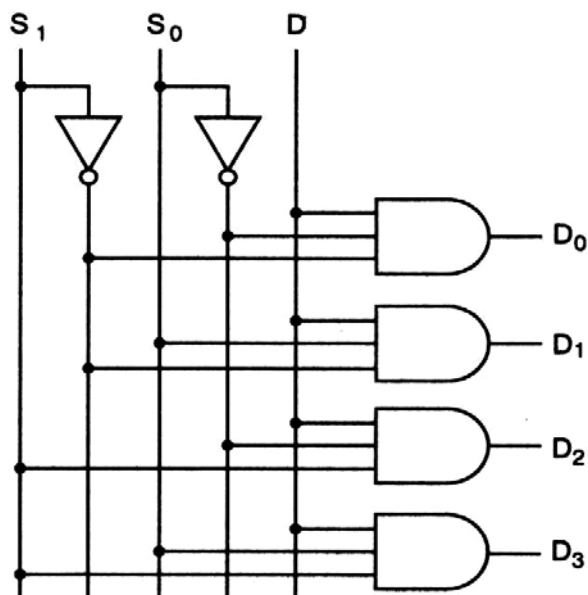
$$D_0 = \bar{S}_1 \bar{S}_0 D$$

$$D_1 = \bar{S}_1 S_0 D$$

$$D_2 = S_1 \bar{S}_0 D$$

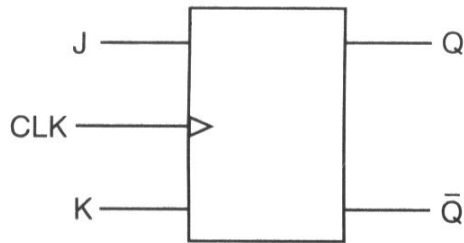
$$D_3 = S_1 S_0 D$$

(β) Να σχεδιάσετε το λογικό κύκλωμα του αποπολυπλέκτη.

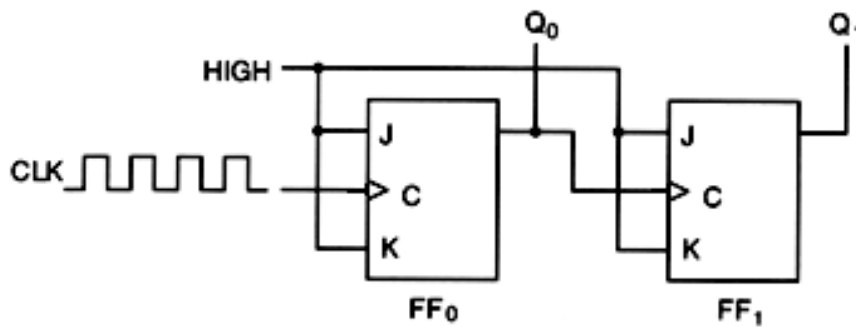


ΜΕΡΟΣ Γ΄ - Το μέρος Γ΄ αποτελείται από δύο (2) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με δέκα (10) μονάδες.

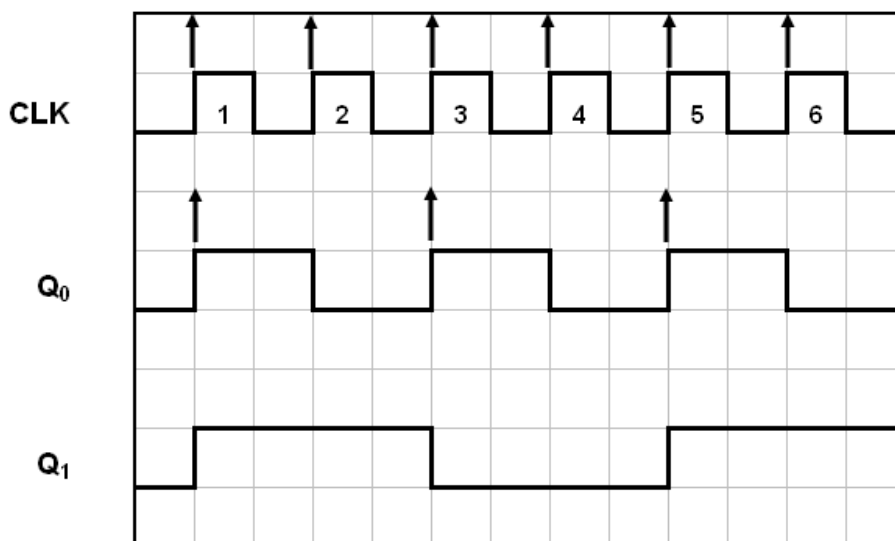
17. (α) Με τη χρήση του JK Φλιπ Φλοπ του σχήματος 11, να σχεδιάσετε το λογικό κύκλωμα ασύγχρονου δυαδικού απαριθμητή 2-bit που μετρά προς τα κάτω.



Σχήμα 11



(β) Στο τετραγωνισμένο χαρτί του σχήματος 12, να σχεδιάσετε για 6 ωρολογιακούς παλμούς (CLK), τα χρονικά διαγράμματα των δύο εξόδων του απαριθμητή που έχετε σχεδιάσει πιο πάνω. Η αρχική κατάσταση του απαριθμητή είναι RESET.



Σχήμα 12

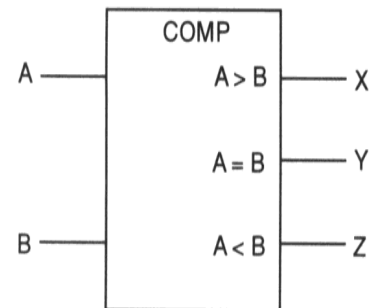
(γ) Αν η συχνότητα των ωρολογιακών παλμών (CLK) είναι 2 MHz, να υπολογίσετε τη συχνότητα των παλμών στην έξοδο Q του κάθε Φλιπ Φλοπ του κυκλώματος του ασύγχρονου δυαδικού απαριθμητή της ερώτησης 17(α).

$$f_{Q0} = \dots\dots\dots 1 \text{ MHz} \dots\dots\dots$$

$$f_{Q1} = \dots\dots\dots 500 \text{ kHz} \dots\dots\dots$$

18. Στο σχήμα 13 δίνεται το λογικό σύμβολο και ο πίνακας αληθείας του ψηφιακού συγκριτή 1-bit.

| ΕΙΣΟΔΟΙ | | ΕΞΟΔΟΙ | | |
|---------|---|--------|---|---|
| A | B | X | Y | Z |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |



Σχήμα 13

(α) Να συμπληρώσετε τον πίνακα αληθείας του σχήματος 13 πιο πάνω, για τις τρεις εξόδους X, Y και Z του ψηφιακού συγκριτή.

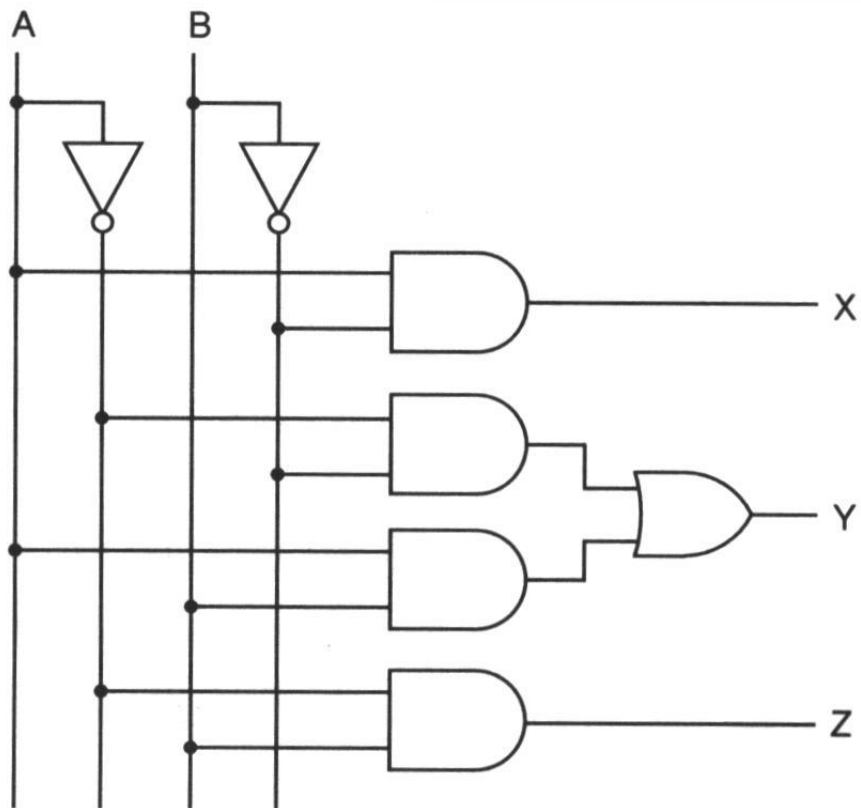
(β) Να γράψετε τις λογικές συναρτήσεις για τις τρεις εξόδους X, Y και Z.

$$X = A \cdot \bar{B}$$

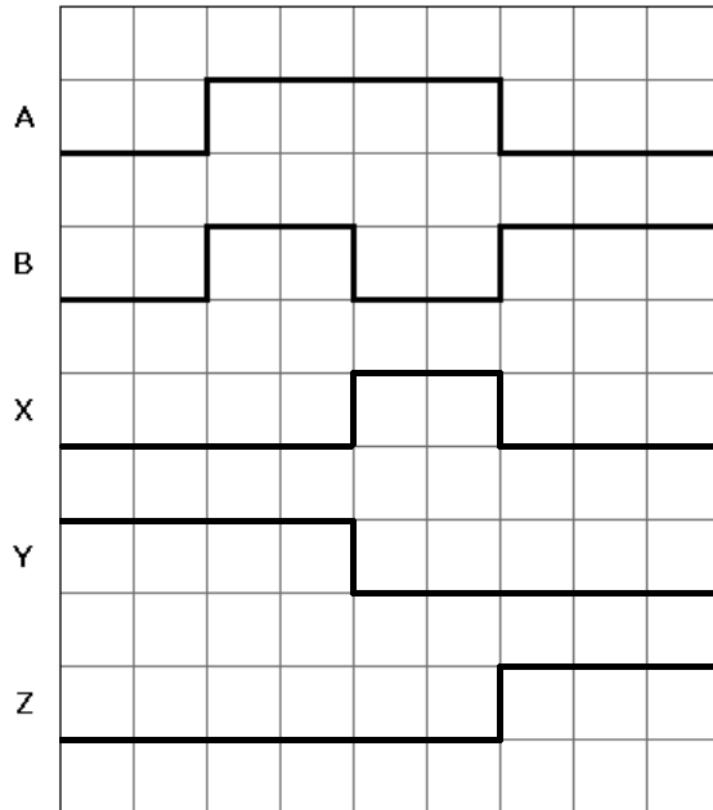
$$Y = \bar{A} \cdot \bar{B} + A \cdot B \quad \text{ή} \quad Y = \overline{A \oplus B}$$

$$Z = \bar{A} \cdot B$$

(γ) Να σχεδιάσετε το λογικό κύκλωμα του συγκριτή.



(δ) Στο σχήμα 14 δίνονται τα χρονικά διαγράμματα που εφαρμόζονται στις εισόδους ψηφιακού συγκριτή 1-bit.
Να σχεδιάσετε τα χρονικά διαγράμματα των τριών εξόδων X, Y και Z του συγκριτή.



Σχήμα 14

----- ΤΕΛΟΣ ΛΥΣΕΩΝ -----