

**ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΠΟΛΙΤΙΣΜΟΥ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ**

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ 2018

ΤΕΧΝΟΛΟΓΙΑ (ΙΙ) ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΘΕΩΡΗΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Ψηφιακά Ηλεκτρονικά (155)
Ημερομηνία : Παρασκευή, 8 Ιουνίου 2018
Ωρα εξέτασης : 08:00 – 10:30

Επιτρεπόμενη διάρκεια γραπτού 2,5 ώρες (150 λεπτά)

ΤΟ ΕΞΕΤΑΣΤΙΚΟ ΔΟΚΙΜΙΟ ΑΠΟΤΕΛΕΙΤΑΙ ΑΠΟ ΕΙΚΟΣΙ ΔΥΟ (22) ΣΕΛΙΔΕΣ ΚΑΙ ΤΡΙΑ ΜΕΡΗ (Α΄, Β΄ ΚΑΙ Γ΄)

ΟΔΗΓΙΕΣ:

1. Να απαντήσετε σε όλες τις ερωτήσεις.
2. Όλες οι ερωτήσεις να απαντηθούν στο εξεταστικό δοκίμιο.
3. Απαγορεύεται η χρήση διορθωτικού υγρού ή διορθωτικής ταινίας.
4. Τα σχεδιαγράμματα μπορούν να σχεδιαστούν με μολύβι.
5. Επιτρέπεται η χρήση μη προγραμματιζόμενης υπολογιστικής μηχανής.
6. Στο τέλος του εξεταστικού δοκιμίου δίνεται τυπολόγιο.

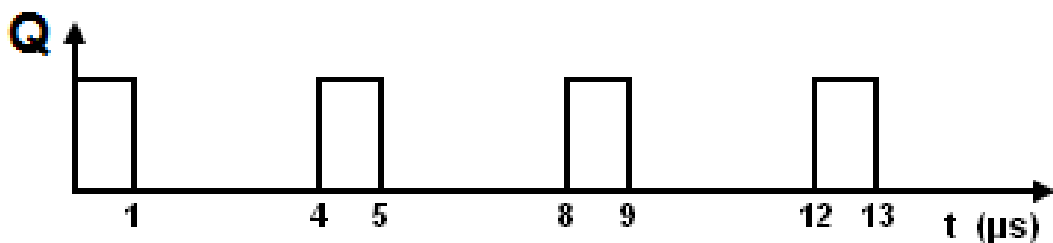
Κενή
Σελίδα

ΜΕΡΟΣ Α΄ - Το μέρος Α΄ αποτελείται από δώδεκα (12) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με τέσσερις (4) μονάδες.

1. Να σχεδιάσετε το λογικό κύκλωμα ασύγχρονου SR Φλιπ Φλοπ με τη χρήση δύο πυλών NAND.

2. Στο σχήμα 1, δίνεται η κυματομορφή εξόδου (Q) ενός ασταθή πολυδονητή. Να υπολογίσετε:

- (α) την περίοδο, T
- (β) τη συχνότητα, f
- (γ) τον κύκλο δράσης, d.



Σχήμα 1

T =

f =

d =

3. (α) Τί εννοούμε με τον όρο «καθυστέρηση διάδοσης» μιας λογικής οικογένειας;

.....
.....
.....
.....
.....

(β) Να αναφέρετε δύο πλεονεκτήματα της λογικής οικογένειας CMOS έναντι της λογικής οικογένειας TTL.

.....
.....
.....
.....
.....

4. (α) Να αναφέρετε τι είναι το «ψηφίο ισοτιμίας» και τον σκοπό που εξυπηρετεί.

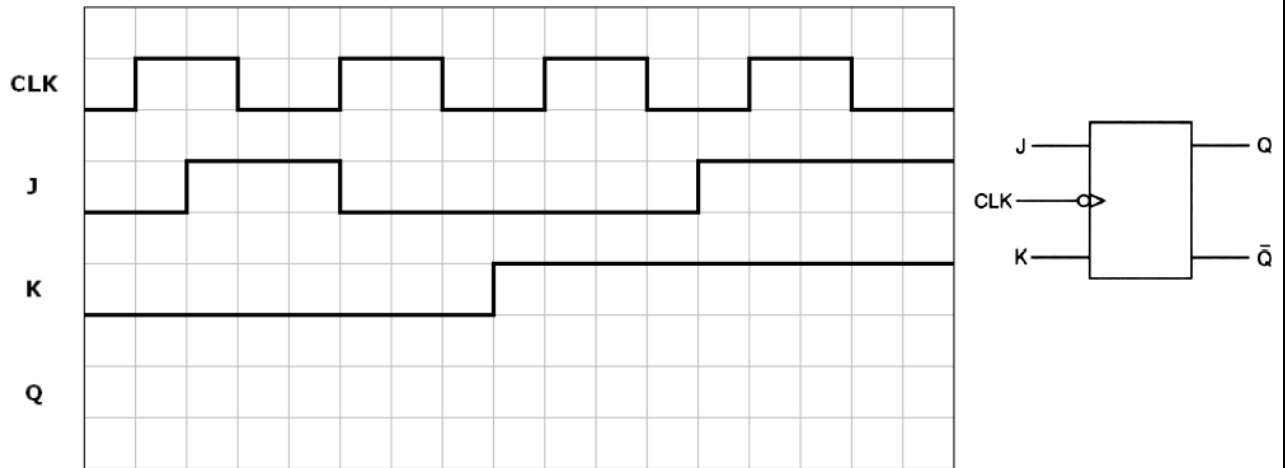
.....
.....
.....
.....
.....
.....
.....
.....

(β) Να υπολογίσετε το ζυγό ψηφίο ισοτιμίας για τους πιο κάτω κώδικες:

(1) 1001

(2) 1011

5. Στο σχήμα 2 δίνεται το λογικό σύμβολο και τα χρονικά διαγράμματα εισόδου σύγχρονου JK Φλιπ Φλοπ.
 Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του Φλιπ Φλοπ. Η αρχική κατάσταση της εξόδου Q του Φλιπ Φλοπ είναι το λογικό 0 (RESET).



Σχήμα 2

6. (α) Να επιλέξετε την σωστή απάντηση.
 Ένας κυκλικός ολισθητής των 4-bit μπορεί να χρησιμοποιηθεί σαν κυκλικός απαριθμητής εάν η καταχωρημένη κωδική λέξη στον ολισθητή είναι:

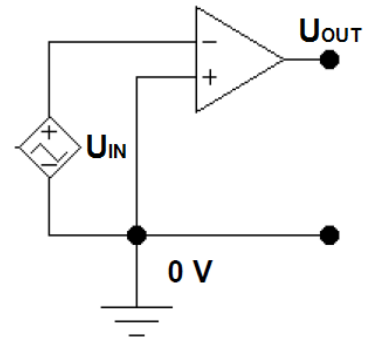
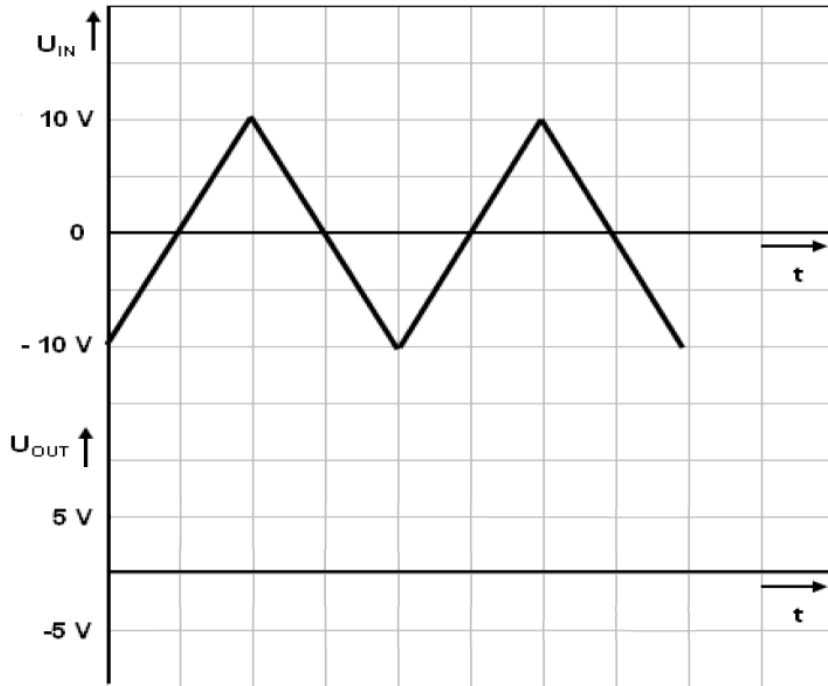
- (1) 0000
- (2) 0111
- (3) 0010
- (4) 1010

.....

- (β) Να αναφέρετε τον τύπο του καταχωρητή που θα χρησιμοποιούσατε για τη μετατροπή ενός παράλληλου σήματος σε σειριακό.

.....

7. (α) Στο σχήμα 3 δίνεται το κύκλωμα συγκριτή τάσης και τα σήματα που εφαρμόζονται στις δύο εισόδους του. Εάν οι μέγιστες τάσεις εξόδου είναι $\pm 5 \text{ V}$, να σχεδιάσετε στο σχήμα 3 το σήμα εξόδου (U_{out}) του συγκριτή.



Σχήμα 3

- (β) Να δώσετε τον ορισμό του «συγκριτή τάσης».

.....

.....

.....

.....

.....

.....

.....

.....

8. (α) Να δώσετε τον ορισμό του «ψηφιακού κωδικοποιητή».

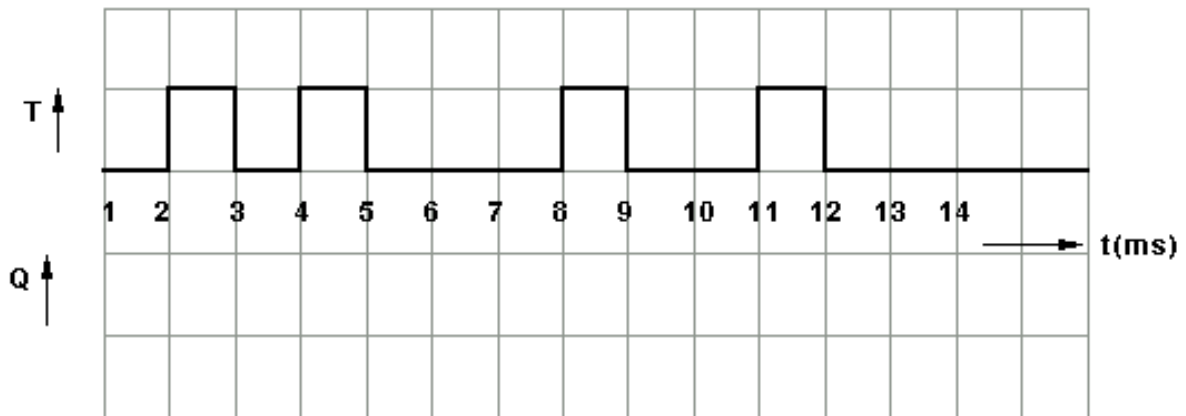
.....
.....
.....
.....
.....
.....
.....
.....

(β) Να υπολογίσετε πόσα bit χρειάζονται για να κωδικοποιήσουμε τους 107 χαρακτήρες ενός πληκτρολογίου.

.....
.....
.....

9. Στο σχήμα 4 δίνεται το χρονικό διάγραμμα εισόδου επαναδιεγερόμενου μονοσταθί πολυδονητή, ο οποίος διεγείρεται στα θετικά μέτωπα των παλμών διέγερσης και έχει χρόνο βολής 3 ms. Η σταθερή κατάσταση του μονοσταθί πολυδονητή είναι η λογική κατάσταση 0.

Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του πολυδονητή κάτω από το χρονικό διάγραμμα των παλμών διέγερσης.



Σχήμα 4

10. (α) Να αναφέρετε δύο διαφορές του σύγχρονου από τον ασύγχρονο απαριθμητή.

.....
.....
.....
.....
.....
.....
.....
.....

(β) Να υπολογίσετε το μέγιστο μέτρο απαριθμητή με 7 Φλιπ Φλοπ.

.....
.....
.....

11. (α) Να αναφέρετε τη διαφορά των ψηφιακών σημάτων από τα αναλογικά (όσον αφορά στις τιμές που παίρνουν).

.....
.....
.....
.....
.....
.....

(β) Να αναφέρετε το πλεονέκτημα του παράλληλου μετατροπέα A/D (μετατροπέας Flash), έναντι του μετατροπέα διαδοχικών προσεγγίσεων A/D.

.....
.....
.....
.....
.....
.....

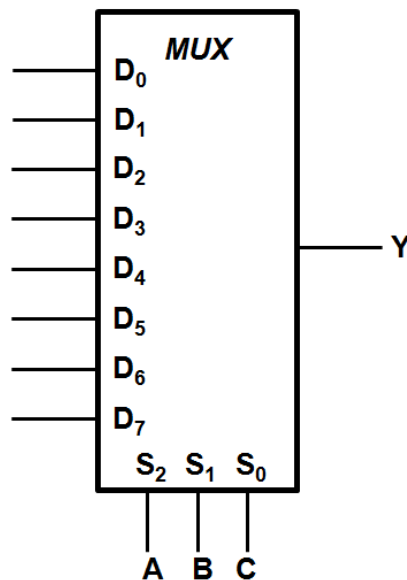
12. Έναν εργοστάσιο έχει τρία μηχανήματα (A, B, C). Το κάθε μηχάνημα διαθέτει αισθητήρα ο οποίος δηλώνει αν το μηχάνημα βρίσκεται σε λειτουργία ή όχι. Όταν ένα μηχάνημα βρίσκεται σε λειτουργία, ο αισθητήρας του έχει λογική κατάσταση «1».

(α) Με βάση τα πιο πάνω δεδομένα, να συμπληρώσετε τον ακόλουθο πίνακα αληθείας (πίνακας 1) ώστε σε περίπτωση που δύο ή τρία μηχανήματα λειτουργούν ταυτόχρονα, να δίνεται σήμα $Y = 1$ στην έξοδο του κυκλώματος.

A	B	C	Y	D
0	0	0		D ₀
0	0	1		D ₁
0	1	0		D ₂
0	1	1		D ₃
1	0	0		D ₄
1	0	1		D ₅
1	1	0		D ₆
1	1	1		D ₇

Πίνακας 1

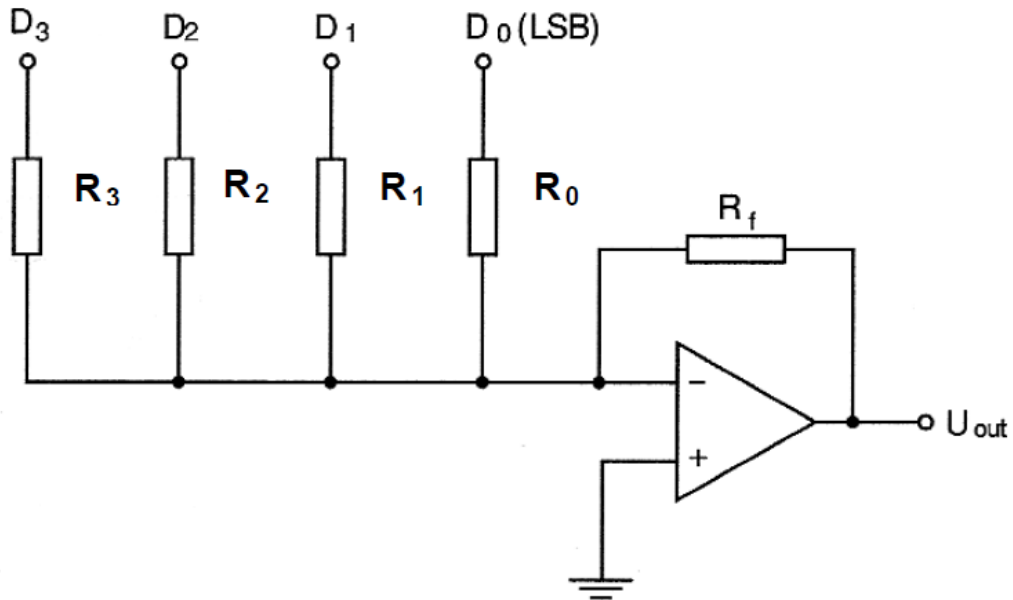
(β) Να κάνετε τις συνδέσεις που απαιτούνται στον πολυπλέκτη 8x1 του σχήματος 5, ώστε να υλοποιηθεί ο πίνακας αληθείας της ερώτησης 12(α) (πίνακας 1).



Σχήμα 5

ΜΕΡΟΣ Β΄ - Το μέρος Β΄ αποτελείται από τέσσερις (4) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με οκτώ (8) μονάδες.

13. Στο σχήμα 6 δίνεται το κύκλωμα μετατροπέα ψηφιακού σήματος σε αναλογικό με σταθμισμένες αντιστάσεις στο δυαδικό σύστημα.



Σχήμα 6

(α) Αν η αντίσταση $R_3 = 25 \text{ k}\Omega$, να υπολογίσετε τις τιμές των αντιστάσεων R_0 , R_1 και R_2 .

$R_0 = \dots\dots\dots$ $R_1 = \dots\dots\dots$ $R_2 = \dots\dots\dots$

(β) Να υπολογίσετε την τάση (U_{out}) στην έξοδο του μετατροπέα για τη λογική κατάσταση εισόδου $D_3D_2D_1D_0 = 0001$, όταν η αντίσταση $R_f = 40 \text{ k}\Omega$ και η τάση εισόδου $U_{in} = 5 \text{ V}$.

.....

.....

.....

.....

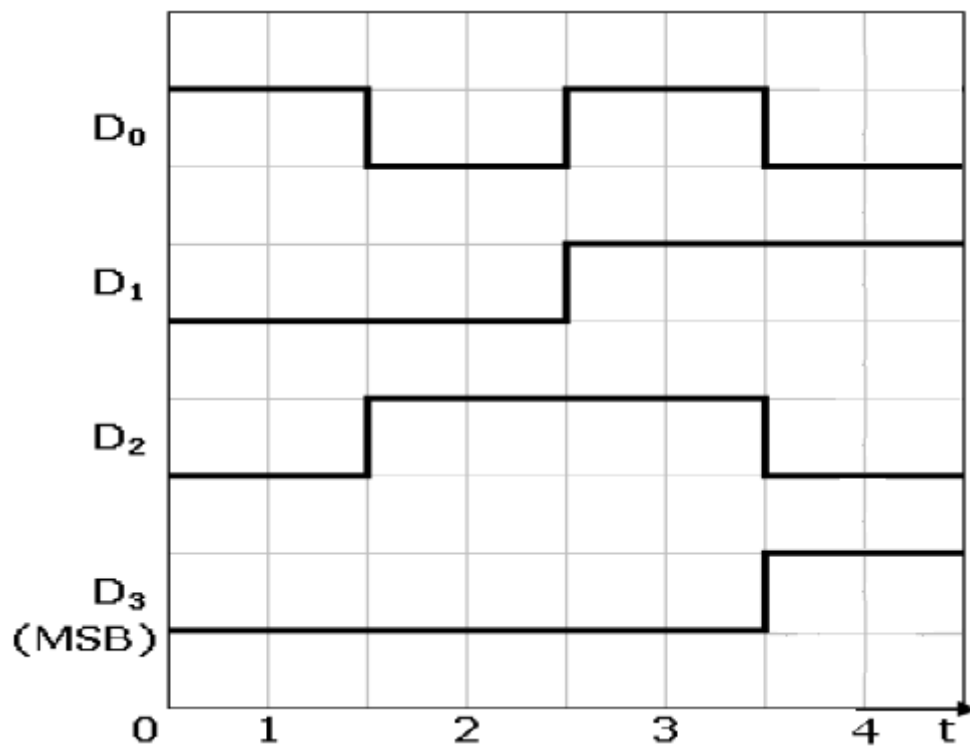
.....

.....

.....

.....

(γ) Στο σχήμα 7 δίνεται το ψηφιακό σήμα που εφαρμόζεται στην είσοδο του μετατροπέα του σχήματος 6.



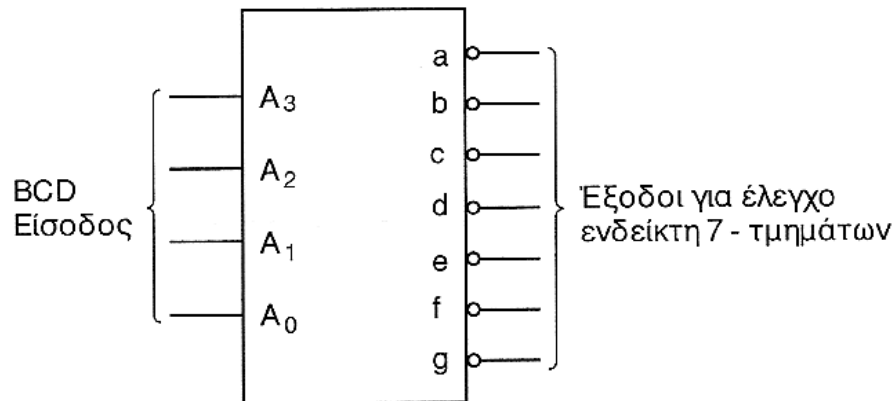
Σχήμα 7

Να συμπληρώσετε τον πίνακα 2 πιο κάτω με τις τιμές του ψηφιακού σήματος εισόδου (D_3 , D_2 , D_1 , D_0) και του αναλογικού σήματος εξόδου (U_{out}) του μετατροπέα.

Α/Α	ΕΙΣΟΔΟΣ				ΕΞΟΔΟΣ
	D_3	D_2	D_1	D_0	U_{out} (V)
1					
2					
3					
4					

Πίνακας 2

14. Στο σχήμα 8 δίνεται το σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει τον ενδείκτη 7-τμημάτων.



Σχήμα 8

(α) Να αναφέρετε τον αριθμό που θα παριστάνει ο ενδείκτης 7-τμημάτων που συνδέεται στην έξοδο του αποκωδικοποιητή, αν η λογική κατάσταση των εισόδων του, είναι $A_3A_2A_1A_0 = 0101$.

Αριθμός =

(β) Να δώσετε τη λογική κατάσταση των εξόδων του αποκωδικοποιητή για τον αριθμό της ερώτησης 14(α).

a = b = c = d =

e = f = g =

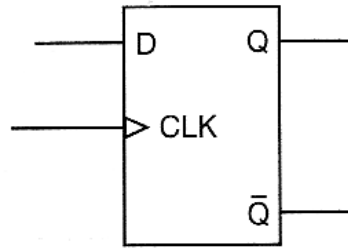
(γ) Να αναφέρετε ποιον τύπο 7-τμηματικής μονάδας ένδειξης LED θα χρησιμοποιούσατε στην έξοδο του αποκωδικοποιητή.

.....

(δ) Να αναφέρετε γιατί οι οθόνες LCD έχουν καθιερωθεί σε όργανα και συσκευές που εργάζονται με μπαταρίες αντί των οθονών LED.

.....

15. (α) Με τη χρήση του D Φλιπ Φλοπ του σχήματος 9, να σχεδιάσετε έναν καταχωρητή 4 bit με διαδοχική είσοδο και παράλληλη έξοδο.



Σχήμα 9

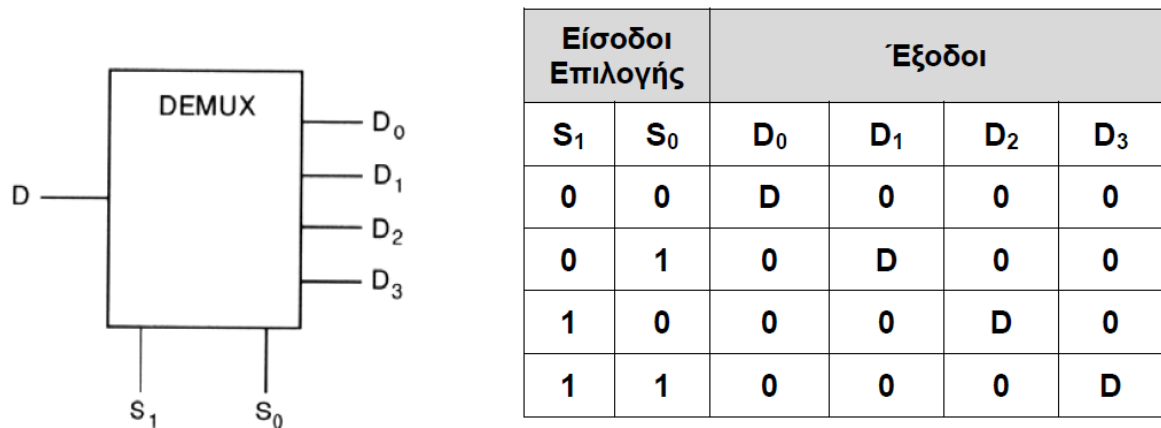
(β) Να υπολογίσετε πόσοι ωρολογιακοί παλμοί απαιτούνται, για να αποθηκευτεί και να εξέλθει μια πληροφορία των 4-bit στον καταχωρητή που σχεδιάσατε στην ερώτηση 15(α) πιο πάνω.

.....
.....
.....

(γ) Αν η συχνότητα του ωρολογίου (CLK) είναι 200 MHz, να υπολογίσετε τον συνολικό χρόνο που θα χρειαστεί για να αποθηκευτεί πληροφορία 4-bit στον καταχωρητή της ερώτηση 15(α) πιο πάνω.

.....
.....
.....
.....
.....
.....

16. Στο σχήμα 10 δίνεται το λογικό σύμβολο και ο πίνακας λειτουργίας του αποπολυπλέκτη μιας γραμμής σε τέσσερις.



Σχήμα 10

(α) Να γράψετε τις λογικές συναρτήσεις των τεσσάρων εξόδων του αποπολυπλέκτη.

D₀ =

D₁ =

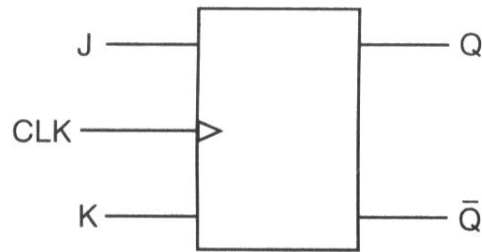
D₂ =

D₃ =

(β) Να σχεδιάσετε το λογικό κύκλωμα του αποπολυπλέκτη.

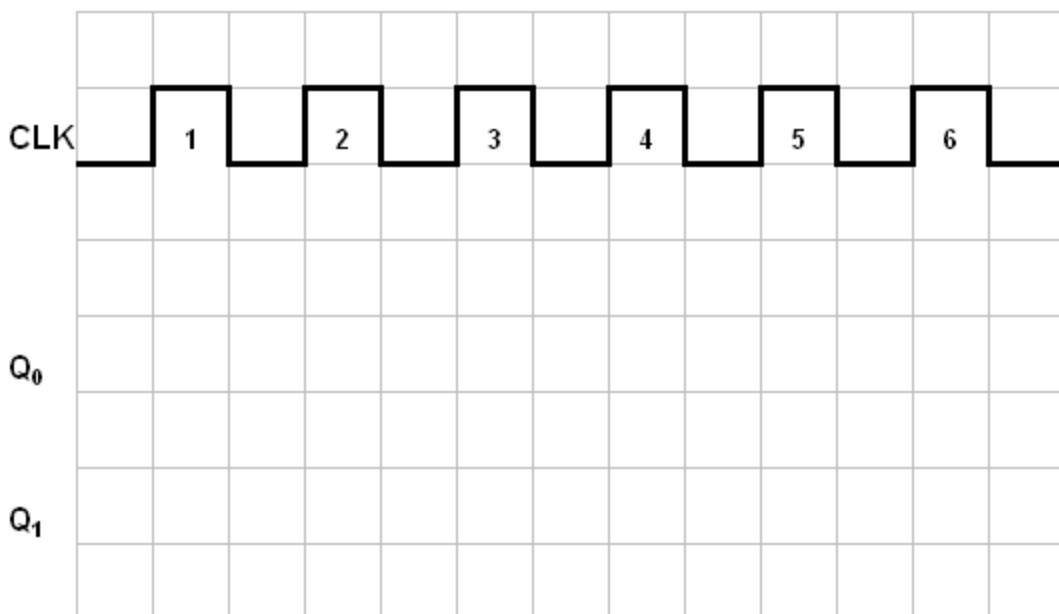
ΜΕΡΟΣ Γ' - Το μέρος Γ' αποτελείται από δύο (2) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με δέκα (10) μονάδες.

17. (α) Με τη χρήση του JK Φλιπ Φλοπ του σχήματος 11, να σχεδιάσετε το λογικό κύκλωμα ασύγχρονου δυαδικού απαριθμητή 2-bit που μετρά προς τα κάτω.



Σχήμα 11

(β) Στο τετραγωνισμένο χαρτί του σχήματος 12, να σχεδιάσετε για 6 ωρολογιακούς παλμούς (CLK), τα χρονικά διαγράμματα των δύο εξόδων του απαριθμητή που έχετε σχεδιάσει πιο πάνω. Η αρχική κατάσταση του απαριθμητή είναι RESET.



Σχήμα 12

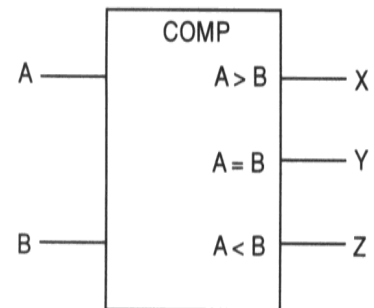
(γ) Αν η συχνότητα των ωρολογιακών παλμών (CLK) είναι 2 MHz, να υπολογίσετε τη συχνότητα των παλμών στην έξοδο Q του κάθε Φλιπ Φλοπ του κυκλώματος του ασύγχρονου δυαδικού απαριθμητή της ερώτησης 17(α).

$f_{Q0} = \dots\dots\dots$

$f_{Q1} = \dots\dots\dots$

18. Στο σχήμα 13 δίνεται το λογικό σύμβολο και ο πίνακας αληθείας του ψηφιακού συγκριτή 1-bit.

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ		
A	B	X	Y	Z
0	0			
0	1			
1	0			
1	1			



Σχήμα 13

(α) Να συμπληρώσετε τον πίνακα αληθείας του σχήματος 13 πιο πάνω, για τις τρεις εξόδους X, Y και Z του ψηφιακού συγκριτή.

(β) Να γράψετε τις λογικές συναρτήσεις για τις τρεις εξόδους X, Y και Z.

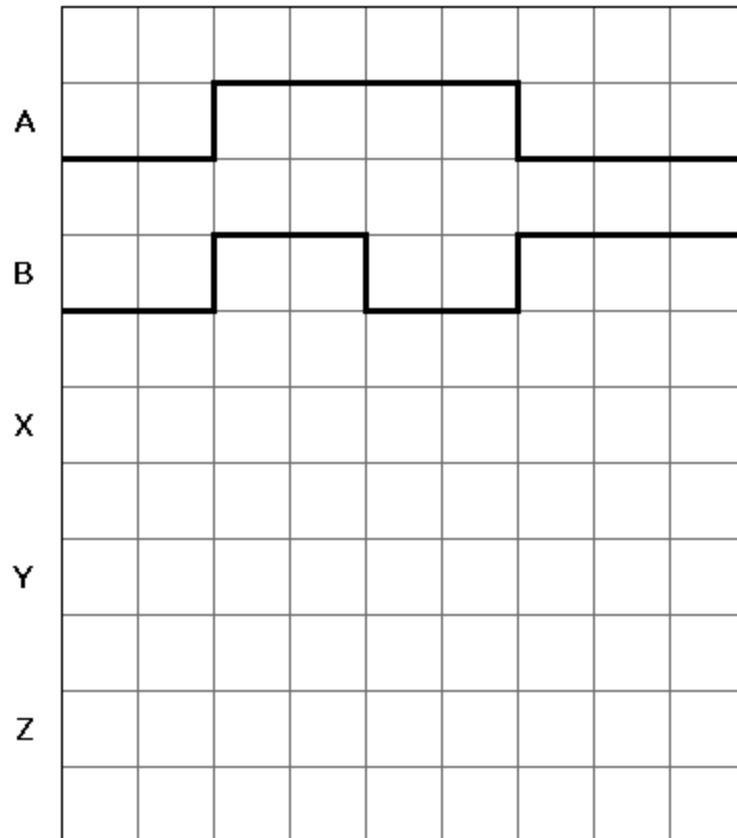
X =

Y =

Z =

(γ) Να σχεδιάσετε το λογικό κύκλωμα του συγκριτή.

(δ) Στο σχήμα 14 δίνονται τα χρονικά διαγράμματα που εφαρμόζονται στις εισόδους ψηφιακού συγκριτή 1-bit.
Να σχεδιάσετε τα χρονικά διαγράμματα των τριών εξόδων X, Y και Z του συγκριτή.

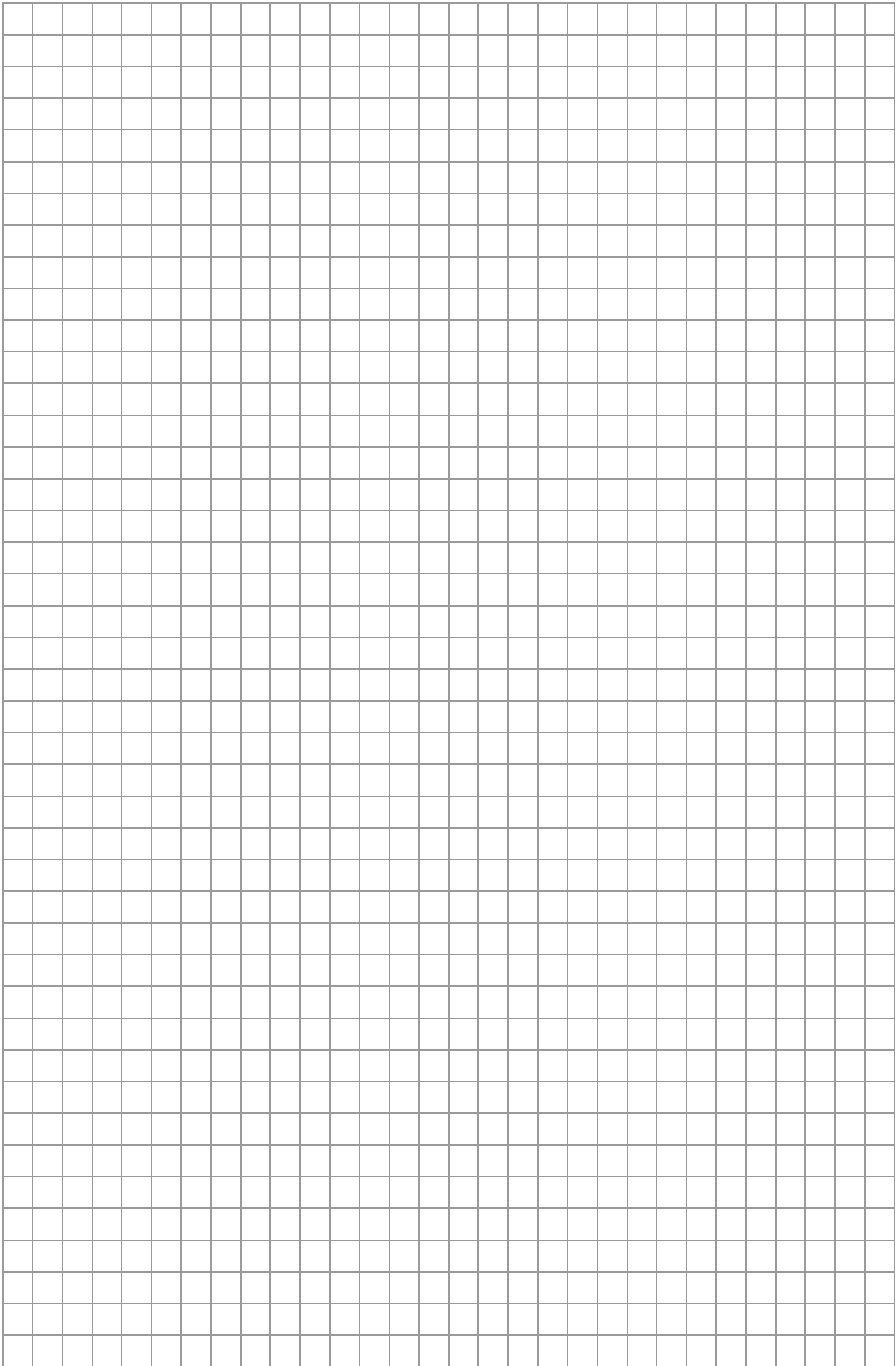


Σχήμα 14

----- ΤΕΛΟΣ ΕΞΕΤΑΣΗΣ -----

ΠΡΟΧΕΙΡΟ

ΠΡΟΧΕΙΡΟ



ΤΥΠΟΛΟΓΙΟ ΓΙΑ ΤΟ ΜΑΘΗΜΑ «ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ»	
ΑΛΓΕΒΡΑ ΤΟΥ ΜΠΟΥΛ (BOOLE)	
Αξίωμα της αντιμετάθεσης	$A + B = B + A$ $A \cdot B = B \cdot A$
Αξίωμα του προσεταιρισμού	$A \cdot B \cdot C = (A \cdot B) \cdot C = A \cdot (B \cdot C)$ $A + B + C = (A + B) + C = A + (B + C)$
Αξίωμα του επιμερισμού	$A \cdot (B + C) = A \cdot B + A \cdot C$
Κανόνες της άλγεβρας Boole	$A + 0 = A$ $A + 1 = 1$ $A \cdot 0 = 0$ $A \cdot 1 = A$ $A + A = A$ $A + \bar{A} = 1$ $A \cdot A = A$ $A \cdot \bar{A} = 0$ $\bar{\bar{A}} = A$ $A + A \cdot B = A$ $A + \bar{A} \cdot B = A + B$ $(A + B) \cdot (A + C) = A + B \cdot C$
Θεώρημα Ντε Μόργαν (De Morgan)	$\overline{A + B} = \bar{A} \cdot \bar{B}$ $\overline{A \cdot B} = \bar{A} + \bar{B}$
ΠΟΛΥΔΟΝΗΤΕΣ	
Κύκλος Δράσης	$d = \frac{t_H}{T} \times 100\%$
ΑΠΑΡΙΘΜΗΤΕΣ	
Μέγιστο μέτρο απαριθμητή	$max\ MOD = 2^y$
Μέγιστη συχνότητα αρίθμησης ασύγχρονου απαριθμητή	$f_{max} = \frac{1}{vt_P}$
Συχνότητα παλμών στην έξοδο που δίνει το περισσότερο σημαντικό ψηφίο απαριθμητή με μέτρο N	$f = \frac{f_{CLK}}{N}$
ΚΑΤΑΧΩΡΗΤΕΣ	
Συχνότητα κυκλικού απαριθμητή	$f_Q = \frac{1}{N} f_{CLK}$
Συχνότητα απαριθμητή Τζόνσον (Johnson)	$f_Q = \frac{1}{2N} f_{CLK}$
ΛΟΓΙΚΕΣ ΠΥΛΕΣ	
Πύλη AND	$Y = A \cdot B$

Πύλη OR	$Y = A + B$
Πύλη NOT	$Y = \bar{A}$
Πύλη NAND	$Y = \overline{A \cdot B}$
Πύλη NOR	$Y = \overline{A + B}$
Πύλη EXCLUSIVE OR	$Y = A \oplus B$
Πύλη EXCLUSIVE NOR	$Y = \overline{A \oplus B}$
ΜΕΤΑΤΡΟΠΕΙΣ D/A	
Ανάλυση	$\frac{FS}{2^N - 1}$
Ανάλυση %	$\frac{1}{2^N - 1} 100\%$
Μετατροπέας D/A με σταθμισμένες αντιστάσεις και τελεστικό ενισχυτή	$U_{out} = -U_{in} \frac{R_f}{8R} (8D_3 + 4D_2 + 2D_1 + D_0)$
Μετατροπείς D/A με κλιμακωτό δίκτυο αντιστάσεων και τελεστικό ενισχυτή	$U_{out} = -U_{in} \frac{R_f}{2R} (D_3 + \frac{1}{2}D_2 + \frac{1}{4}D_1 + \frac{1}{8}D_0)$
	$U_{out} = \frac{U_{in}}{2} (D_3 + \frac{1}{2}D_2 + \frac{1}{4}D_1 + \frac{1}{8}D_0)$