

**ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΠΟΛΙΤΙΣΜΟΥ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΚΑΙ ΑΝΩΤΑΤΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ**

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ

ΤΕΧΝΟΛΟΓΙΑ (ΙΙ) ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΘΕΩΡΗΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Ψηφιακά Ηλεκτρονικά (155)
Ημερομηνία : Παρασκευή, 2 Ιουνίου 2017
Ωρα εξέτασης : 08:00 – 10:30

Λύσεις

Επιτρεπόμενη διάρκεια γραπτού 2, 5 ώρες (150 λεπτά)

ΤΟ ΕΞΕΤΑΣΤΙΚΟ ΔΟΚΙΜΙΟ ΑΠΟΤΕΛΕΙΤΑΙ ΑΠΟ ΕΙΚΟΣΙ (20) ΣΕΛΙΔΕΣ ΚΑΙ ΤΡΙΑ (3) ΜΕΡΗ (Α΄, Β΄ ΚΑΙ Γ΄)

ΟΔΗΓΙΕΣ:

1. Να απαντήσετε σε όλες τις ερωτήσεις.
2. Οι ερωτήσεις να απαντηθούν στο εξεταστικό δοκίμιο.
3. Απαγορεύεται η χρήση διορθωτικού υγρού ή διορθωτικής ταινίας.
4. Τα σχεδιαγράμματα μπορούν να σχεδιαστούν με μολύβι.
5. Επιτρέπεται η χρήση μη προγραμματιζόμενης υπολογιστικής μηχανής.
6. Στο τέλος του εξεταστικού δοκιμίου δίνεται τυπολόγιο.

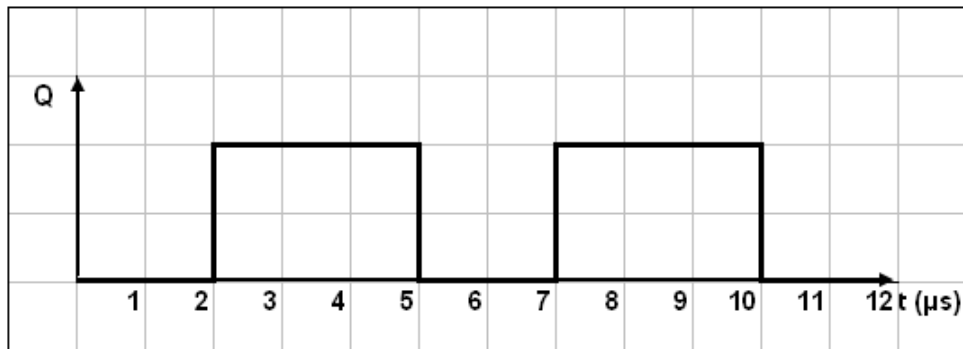
ΜΕΡΟΣ Α΄ - Το μέρος Α΄ αποτελείται από δώδεκα (12) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με τέσσερις (4) μονάδες.

1. Ασταθής πολυδονητής παράγει παλμούς με συχνότητα $f = 200 \text{ kHz}$ και κύκλο δράσης $d = 60\%$.
(α) Να υπολογίσετε την περίοδο T , των παλμών εξόδου Q , του πολυδονητή.

$$T = \frac{1}{f} = \frac{1}{200 \text{ kHz}} = 5 \mu\text{s}$$

T = 5 μs

- (β) Να σχεδιάσετε στο σχήμα 1, το χρονικό διάγραμμα των παλμών εξόδου Q , του πολυδονητή.



Σχήμα 1

2. (α) Να αναφέρετε τι είναι το μονό ψηφίο ισοτιμίας και να εξηγήσετε σε τι χρησιμεύει.

Το μονό ψηφίο ισοτιμίας είναι επιπρόσθετο bit στον κώδικα δεδομένων, έτσι που ο συνολικός αριθμός των 1 να είναι πάντοτε μονός αριθμός.

Χρησιμεύει στην αναγνώριση λαθών κατά τη μεταφορά ή επεξεργασία δεδομένων σε ψηφιακά συστήματα.

- (β) Κύκλωμα ελέγχου ζυγού ψηφίου ισοτιμίας δέχεται τους πιο κάτω κώδικες των 5-bit. Να προσδιορίσετε κατά πόσο ο κάθε κώδικας είναι σωστός ή λανθασμένος.

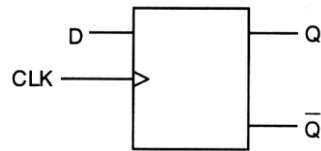
(1) 01101 ΣΩΣΤΟΣ / **ΛΑΝΘΑΣΜΕΝΟΣ**

.....

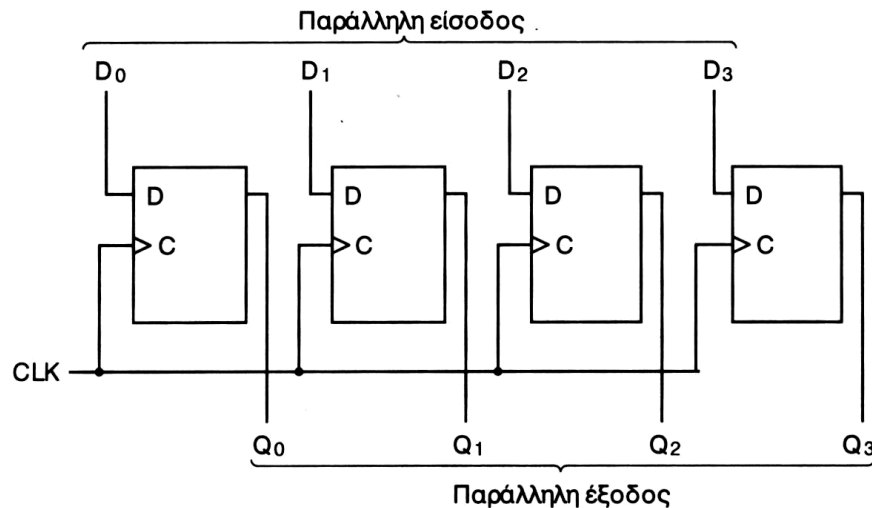
(2) 10010 **ΣΩΣΤΟΣ** / ΛΑΝΘΑΣΜΕΝΟΣ

.....

3. (α) Με τη χρήση του D Φλιπ Φλοπ του σχήματος 2, να σχεδιάσετε κύκλωμα καταχωρητή των 4-bit με παράλληλη είσοδο και παράλληλη έξοδο.



Σχήμα 2



- (β) Να αναφέρετε έναν τύπο καταχωρητή που μπορεί να χρησιμοποιηθεί ως κύκλωμα δημιουργίας χρονικής καθυστέρησης στη διάδοση ψηφιακών σημάτων.

Ένας από τους πιο κάτω τύπους καταχωρητών

- ο Καταχωρητής με διαδοχική είσοδο και διαδοχική έξοδο (Καταχωρητής SISO)
- ο Καταχωρητής με διαδοχική είσοδο και παράλληλη έξοδο (Καταχωρητής SIPO)

.....

4. Να επιλέξετε τη σωστή απάντηση:

- (α) Το JK Φλιπ Φλοπ βρίσκεται στην απαγορευμένη κατάσταση, όταν οι είσοδοι του βρίσκονται στα λογικά επίπεδα:

- (1) $J = 0, K = 0$
- (2) $J = 1, K = 0$
- (3) $J = 1, K = 1$
- (4) $J = 0, K = 1$

- (5) Κανέναν από τα πιο πάνω. Το JK Φλιπ Φλοπ δεν έχει απαγορευμένη κατάσταση.

.....

(β) Ένα SR Φλιπ Φλοπ βρίσκεται σε κατάσταση μνήμης (Memory), όταν οι είσοδοι του βρίσκονται στα λογικά επίπεδα:

(1) **S = 0, R = 0**

(2) S = 1, R = 0

(3) S = 1, R = 1

(4) S = 0, R = 1

(5) Κανέναν από τα πιο πάνω. Το SR Φλιπ Φλοπ δεν μπορεί να βρεθεί σε κατάσταση μνήμης.

.....

5. Να επιλέξετε τη σωστή απάντηση:

(α) Το μέτρο ενός απαριθμητή ορίζεται ως:

(1) Η συχνότητα του ωρολογίου (CLK) που εφαρμόζεται στην είσοδο του.

(2) **Ο αριθμός των διαφορετικών λογικών καταστάσεων που μπορούν να πάρουν οι έξοδοί του.**

(3) Ο αριθμός των Φλιπ Φλοπ από τα οποία αποτελείται.

(4) Ο κώδικας αρίθμησης του.

.....

(β) Για να μετατραπεί έναν παράλληλο σήμα σε σειριακό απαιτείται η χρήση καταχωρητή με:

(1) Διαδοχική είσοδο και διαδοχική έξοδο

(2) Διαδοχική είσοδο και παράλληλη έξοδο

(3) Παράλληλη είσοδο και παράλληλη έξοδο

(4) **Παράλληλη είσοδο και διαδοχική έξοδο**

.....

6. (α) Να υπολογίσετε το μέγιστο μέτρο απαριθμητή με 7 Φλιπ Φλοπ.

$$2^7 = 128$$

Μέγιστο μέτρο = 128

.....

(β) Να υπολογίσετε τον αριθμό των Φλιπ Φλοπ από τα οποία αποτελείται ένας απαριθμητής ο οποίος μετρά μέχρι το 30.

$$2^4 < 30 < 2^5$$

5 Φλιπ Φλοπ

.....

7. (α) Να αναφέρετε δύο χαρακτηριστικά σύγκρισης λογικών οικογενειών.

Δύο από τα πιο κάτω χαρακτηριστικά

- ο Καταναλισκόμενη ισχύς
 - ο Ικανότητα οδήγησης
 - ο Λογικά επίπεδα
 - ο Τάση τροφοδοσίας
 - ο Περιθώριο θορύβου
 - ο Γινόμενο ταχύτητας-ισχύος
 - ο Καθυστέρηση διάδοσης
 - ο Βαθμός ολοκλήρωσης
-

(β) Να αναφέρετε δύο πλεονεκτήματα της λογικής οικογένειας CMOS σε σύγκριση με τη λογική οικογένεια TTL.

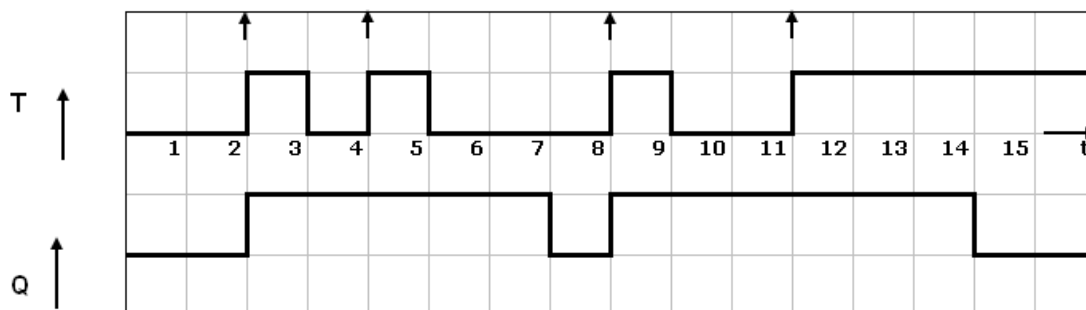
Δύο από τα πιο κάτω πλεονεκτήματα

- ο Μικρή κατανάλωση ισχύος
 - ο Σχετικά εύκολη και φτηνή κατασκευή
 - ο Μεγάλο περιθώριο θορύβου
 - ο Κυμαινόμενη τάση τροφοδοσίας
 - ο Μικρό όγκο τρανζίστορ και άρα μεγάλη πυκνότητα ολοκλήρωσης
-

8. (α) Να δώσετε τον ορισμό του μονοσταθούς πολυδονητή.

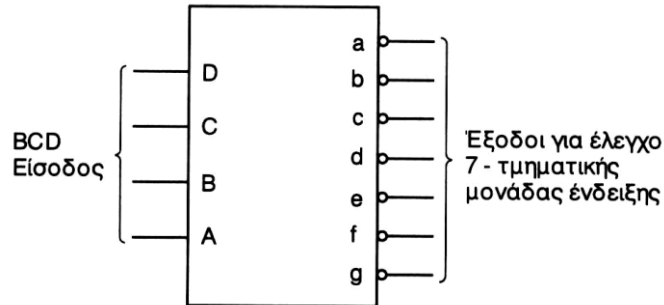
Ο μονοσταθής πολυδονητής είναι ένα κύκλωμα με μια μόνο σταθερή κατάσταση εξόδου. Όταν διεγερθεί μεταβαίνει από τη σταθερή στη μη σταθερή κατάσταση για ορισμένο χρονικό διάστημα, δίνοντας ένα παλμό στην έξοδό του και μετά επιστρέφει αυτόματα στη σταθερή του κατάσταση.

(β) Επαναδιεγείρομενος μονοσταθής πολυδονητής διεγείρεται στα θετικά μέτωπα των παλμών διέγερσης και έχει χρόνο βολής 3 ms. Η σταθερή κατάσταση του πολυδονητή είναι το λογικό 0. Να σχεδιάσετε στο σχήμα 3 το χρονικό διάγραμμα της εξόδου Q του πολυδονητή.

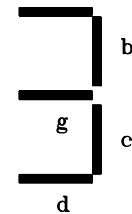


Σχήμα 3

9. (α) Στο σχήμα 4 δίνεται το σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει ενδείκτη 7-τμημάτων με τις εξόδους ενεργές στο λογικό 0.
 Να δώσετε τη λογική κατάσταση των εξόδων του αποκωδικοποιητή, αν στην είσοδο του εφαρμοστεί ο κώδικας BCD = 0011.



Σχήμα 4



Ο κώδικας BCD = 0011 αντιστοιχεί με τον αριθμό 3.

a = 0 b = 0 c = 0 d = 0 e = 1
f = 1 g = 0

- (β) Να εξηγήσετε γιατί τα ψηφιακά ρολόγια χεριού χρησιμοποιούν οθόνες υγρών κρυστάλλων (LCD) αντί οθόνες με διόδους φωτοεκπομπής (LED).

Οι οθόνες LCD έχουν μικρότερη κατανάλωση ηλεκτρικής ενέργειας σε σχέση με τις οθόνες LED και άρα οι μπαταρίες των συσκευών με οθόνες LCD διαρκούν περισσότερο και μπορούν να είναι μικρότερες σε βάρος και όγκο.

.....

10. (α) Αν η συχνότητα του ωρολογίου (CLK) απαριθμητή Τζόνσον 4-bit είναι 2 MHz, να επιλέξετε τη συχνότητα των παλμών εξόδου:

- (1) 100 kHz
(2) 250 kHz
 (3) 500 kHz
 (4) 1 MHz
 (5) 2 MHz
-

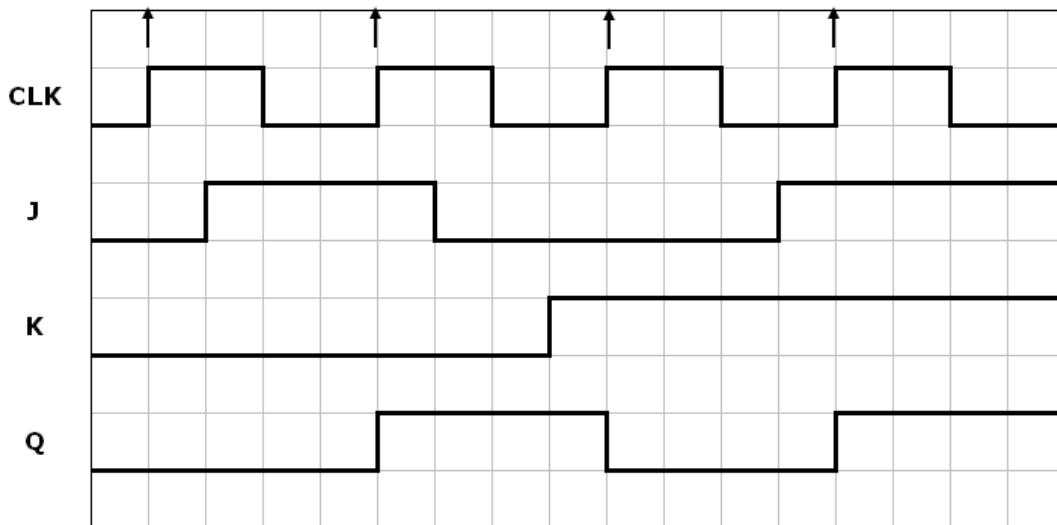
(β) Να υπολογίσετε πόσοι χρονικοί παλμοί απαιτούνται, για να φορτωθεί σειριακά και να βγει σειριακά ένα byte από ένα καταχωρητή των 8-bit.

16 χρονικοί παλμοί

.....

11. Στο σχήμα 5 δίνεται το λογικό σύμβολο και τα χρονικά διαγράμματα εισόδου σύγχρονου JK Φλιπ Φλοπ που χρονίζεται στα θετικά μέτωπα των παλμών του ωρολογίου (CLK).

Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του Φλιπ Φλοπ. Η αρχική κατάσταση της εξόδου Q του Φλιπ Φλοπ είναι το λογικό 0 (RESET).



Σχήμα 5

12. Να επιλέξετε τη σωστή απάντηση:

(α) Αποκωδικοποιητής έχει δεκαέξι (16) εξόδους. Ο αριθμός των bit στον κώδικα εισόδου είναι:

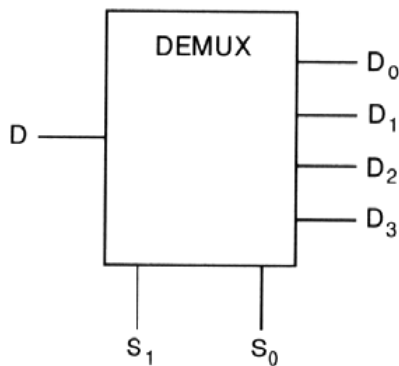
- (1) 1-bit
 - (2) 2-bit
 - (3) 4-bit**
 - (4) 8-bit
-

(β) Ένας κυκλικός ολισθητής των 4-bit μπορεί να χρησιμοποιηθεί ως κυκλικός απαριθμητής εάν η καταχωρημένη κωδική λέξη είναι:

- (1) 0000
- (2) 0111
- (3) 0010**
- (4) 1010

ΜΕΡΟΣ Β' - Το μέρος Β' αποτελείται από τέσσερις (4) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με οκτώ (8) μονάδες.

13. Στο σχήμα 6 δίνεται το λογικό σύμβολο και ο πίνακας λειτουργίας του αποπολυπλέκτη μιας γραμμής σε τέσσερις.



Είσοδοι Επιλογής		Έξοδοι			
S ₁	S ₀	D ₀	D ₁	D ₂	D ₃
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

Σχήμα 6

(α) Να γράψετε τις λογικές συναρτήσεις των τεσσάρων εξόδων του αποπολυπλέκτη.

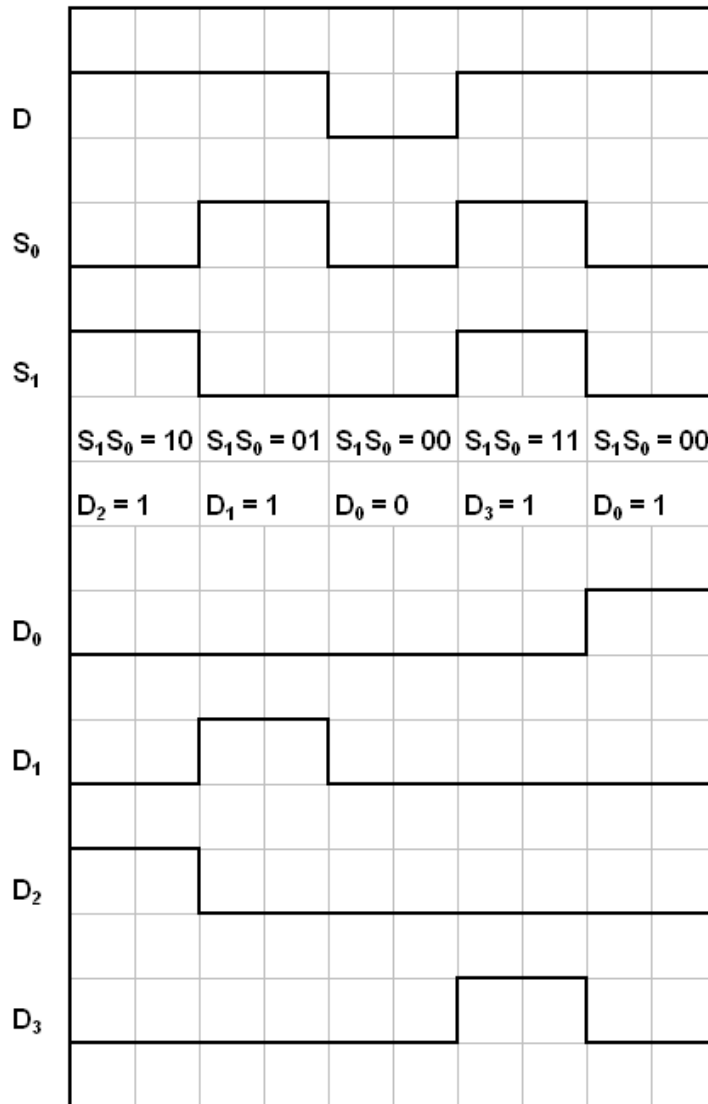
$$D_0 = \bar{S}_1 \bar{S}_0 D$$

$$D_1 = \bar{S}_1 S_0 D$$

$$D_2 = S_1 \bar{S}_0 D$$

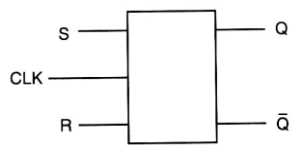
$$D_3 = S_1 S_0 D$$

(β) Στο σχήμα 7 δίνονται τα χρονικά διαγράμματα των εισόδων δεδομένων D και επιλογής εισόδου δεδομένων S του αποπολυπλέκτη. Να σχεδιάσετε τα χρονικά διαγράμματα των τεσσάρων εξόδων του αποπολυπλέκτη.

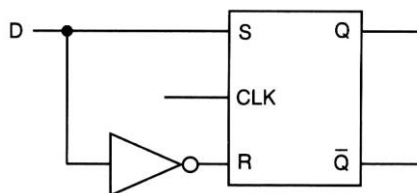


Σχήμα 7

14. (α) Με τη χρήση μιας πύλης NOT, να μετατρέψετε το SR Φίπ Φλοπ του σχήματος 8 σε ένα D Φλίπ Φλοπ.

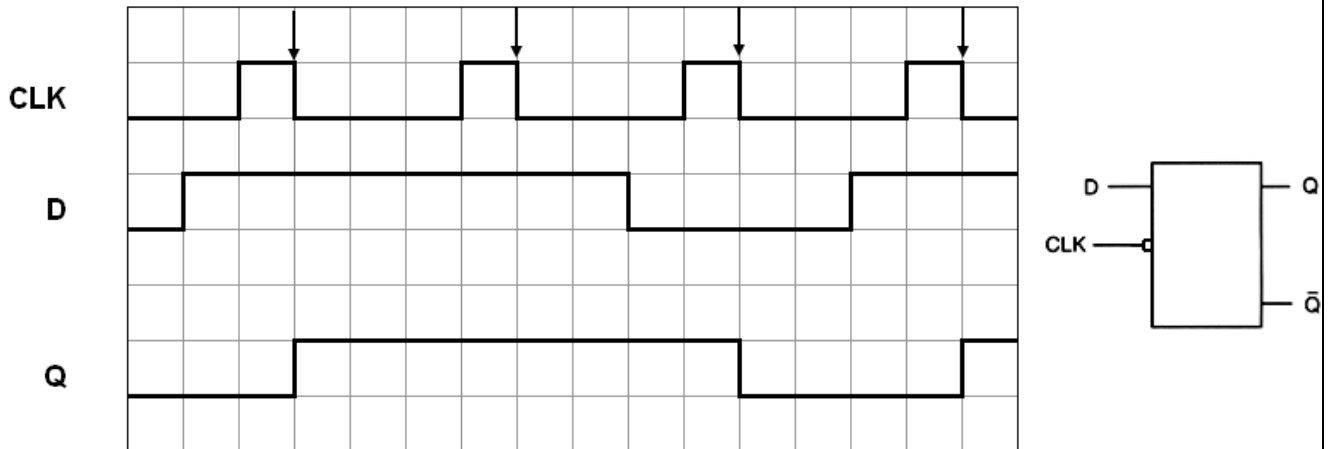


Σχήμα 8



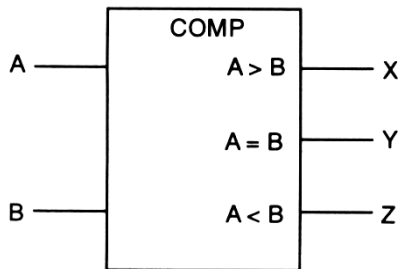
(β) Στο σχήμα 9 δίνεται το λογικό σύμβολο και το χρονικό διάγραμμα της εισόδου D Φλιπ Φλοπ που χρονίζεται στα αρνητικά μέτωπα των παλμών του ωρολογίου (CLK).

Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του Φλιπ Φλοπ για 4 χρονικούς παλμούς του ωρολογίου (CLK). Η αρχική κατάσταση του Φλιπ Φλοπ είναι το λογικό 0 (RESET).



Σχήμα 9

15. Στο σχήμα 10 δίνεται το λογικό σύμβολο του ψηφιακού συγκριτή που συγκρίνει δύο αριθμούς του 1-bit.



Σχήμα 10

(α) Να συμπληρώσετε τον πίνακα αληθείας του πιο πάνω συγκριτή.

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ		
A	B	X	Y	Z
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

(β) Να δώσετε τις λογικές συναρτήσεις των εξόδων του.

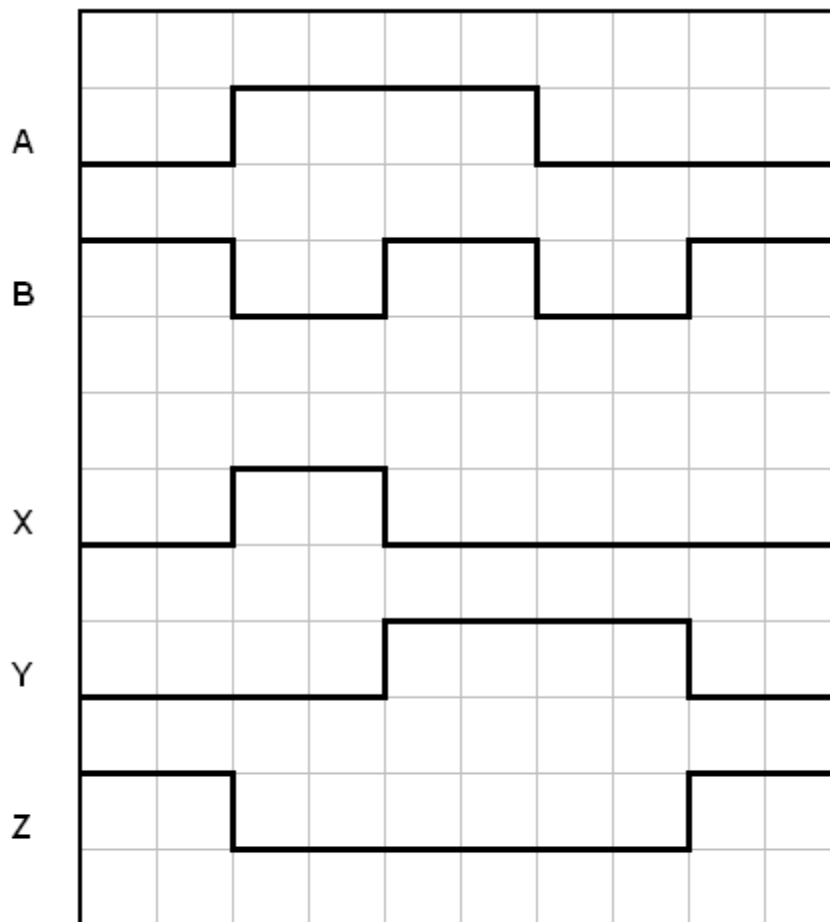
$$X = A \cdot \overline{B}$$

$$Y = \overline{A} \cdot \overline{B} + A \cdot B \quad \text{ή} \quad Y = \overline{A \oplus B}$$

$$Z = \overline{A} \cdot B$$

(γ) Στο σχήμα 11 δίνονται τα χρονικά διαγράμματα των εισόδων του συγκριτή του σχήματος 10.

Να σχεδιάσετε τα χρονικά διαγράμματα των τριών εξόδων του.



B > A	A > B	A = B	B > A
Z = 1	X = 1	Y = 1	Z = 1

Σχήμα 11

16. Στο σχήμα 12 δίνεται το λογικό σύμβολο και ο πίνακας αληθείας αποκωδικοποιητή 2-bit σε 4 γραμμές με τις εξόδους ενεργές στο λογικό 0.

Είσοδοι		Έξοδοι			
A ₁	A ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

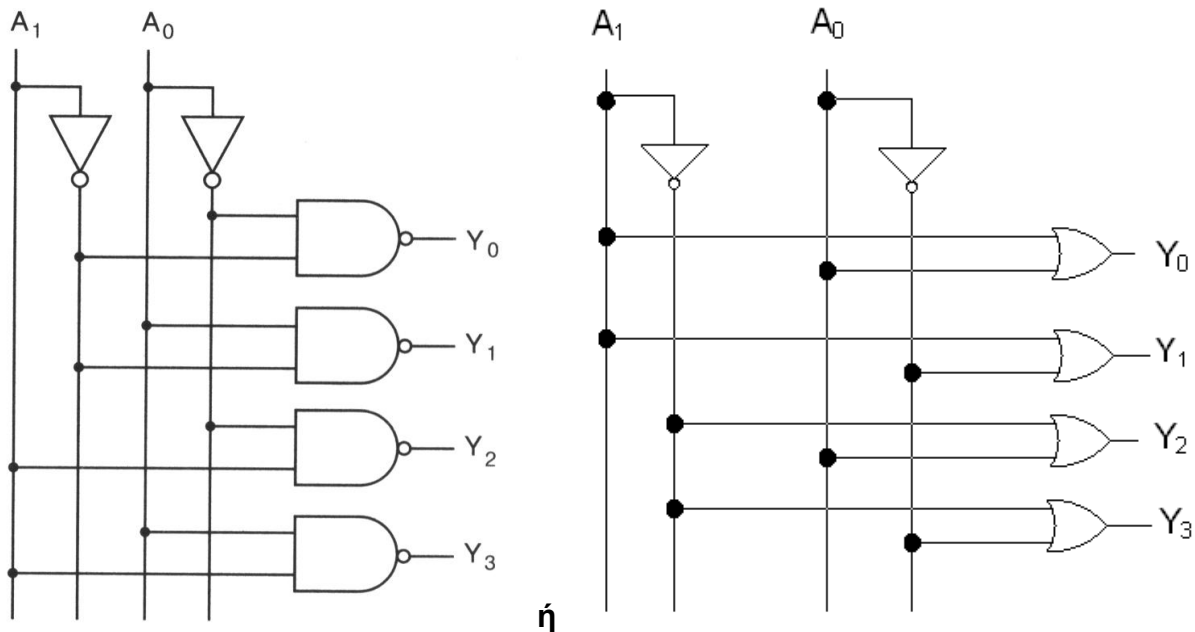


Σχήμα 12

(α) Να δώσετε τις λογικές συναρτήσεις των τεσσάρων εξόδων του αποκωδικοποιητή.

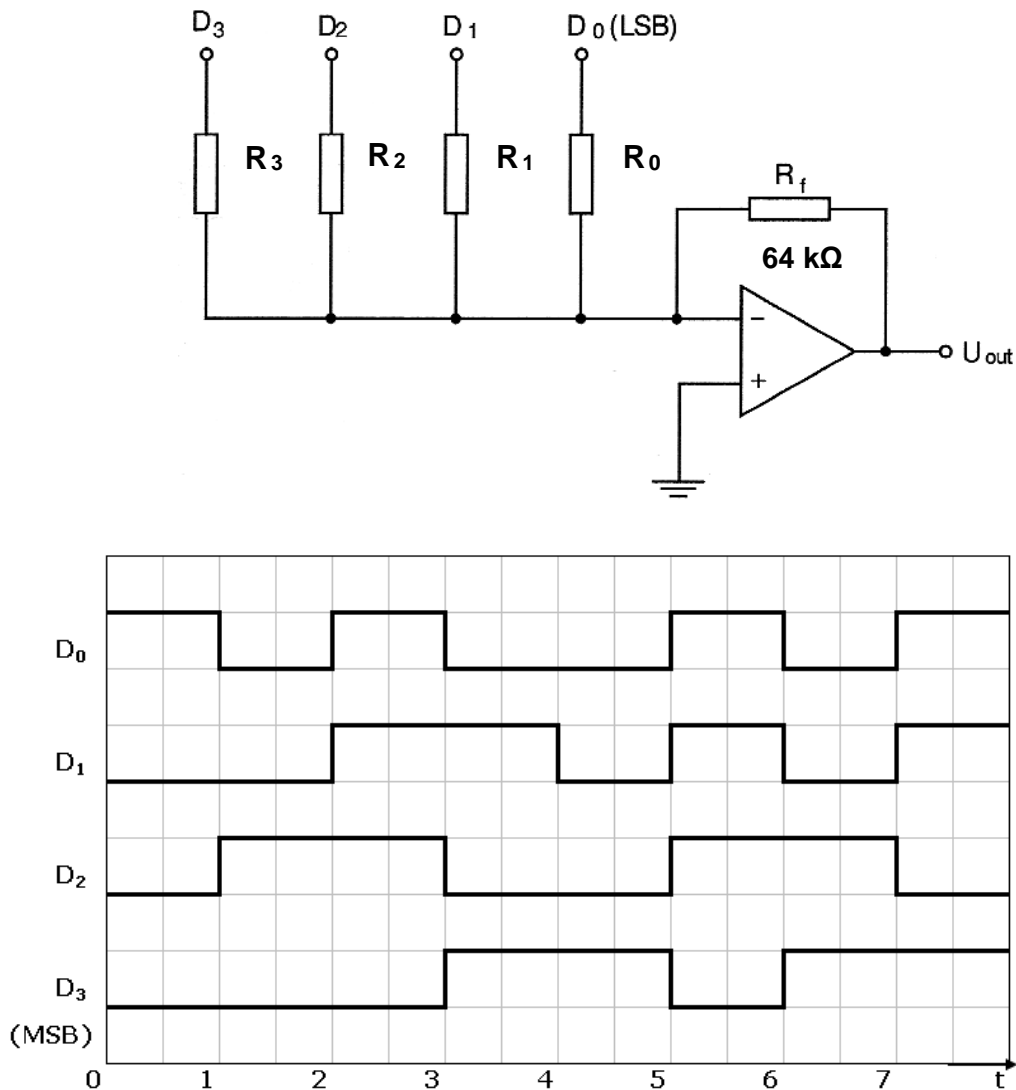
$$\begin{aligned} \bar{Y}_0 &= \bar{A}_1 \bar{A}_0 & (0, 0) & & Y_0 &= \overline{\bar{A}_1 \bar{A}_0} = A_1 + A_0 \\ \bar{Y}_1 &= \bar{A}_1 A_0 & (0, 1) & & Y_1 &= \overline{\bar{A}_1 A_0} = A_1 + \bar{A}_0 \\ \bar{Y}_2 &= A_1 \bar{A}_0 & (1, 0) & & Y_2 &= \overline{A_1 \bar{A}_0} = \bar{A}_1 + A_0 \\ \bar{Y}_3 &= A_1 A_0 & (1, 1) & & Y_3 &= \overline{A_1 A_0} = \bar{A}_1 + \bar{A}_0 \end{aligned}$$

(β) Να σχεδιάσετε το λογικό κύκλωμα του αποκωδικοποιητή.



ΜΕΡΟΣ Γ΄ - Το μέρος Γ΄ αποτελείται από δύο (2) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με δέκα (10) μονάδες.

17. Στο σχήμα 13 δίνεται το κύκλωμα μετατροπέα ψηφιακού σήματος σε αναλογικό με αντιστάσεις σταθμισμένες στο δυαδικό σύστημα και το ψηφιακό σήμα που εφαρμόζεται στην είσοδό του.

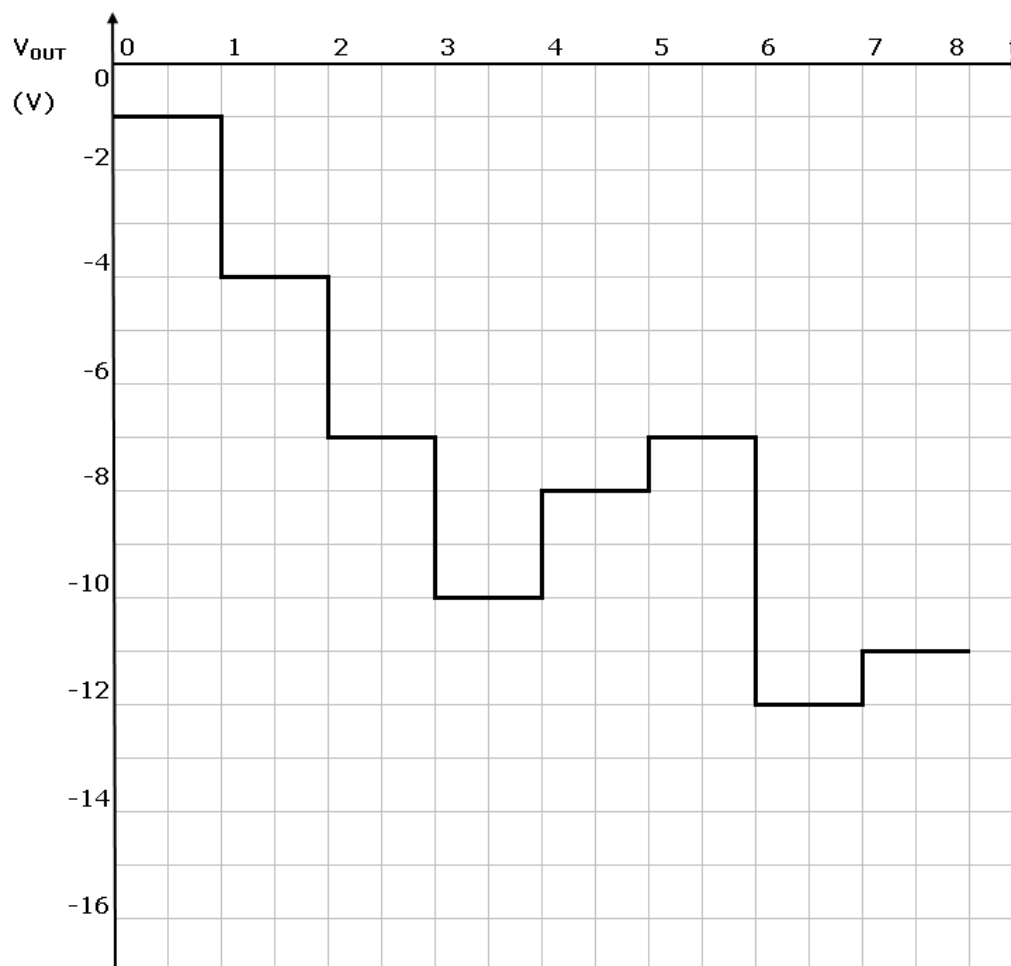


Σχήμα 13

- (α) Να συμπληρώσετε τον πιο κάτω πίνακα με τις τιμές του ψηφιακού σήματος εισόδου και του αναλογικού σήματος εξόδου του μετατροπέα. Για τη λογική κατάσταση εισόδου $D_3 D_2 D_1 D_0 = 0001$, ο μετατροπέας δίνει στην έξοδό του τάση $U_{OUT} = -1 \text{ V}$.

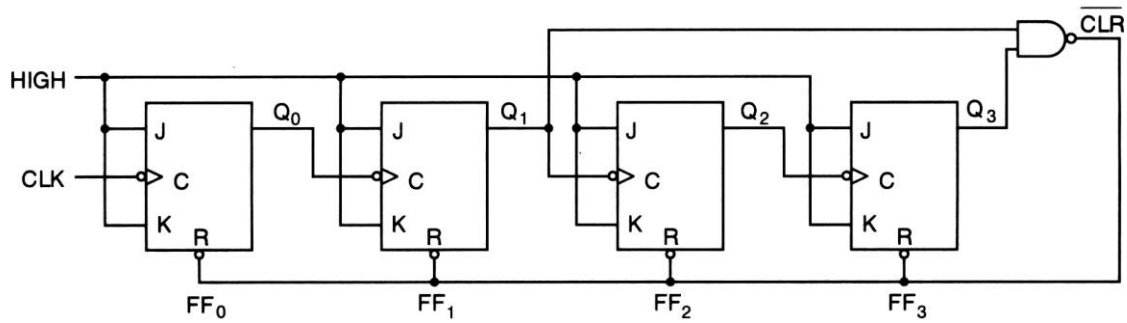
Α/Α	ΕΙΣΟΔΟΣ				ΕΞΟΔΟΣ
	D ₃	D ₂	D ₁	D ₀	U _{out} (V)
1	0	0	0	1	- 1
2	0	1	0	0	- 4
3	0	1	1	1	- 7
4	1	0	1	0	- 10
5	1	0	0	0	- 8
6	0	1	1	1	- 7
7	1	1	0	0	- 12
8	1	0	1	1	- 11

(β) Στο σχήμα 14 να σχεδιάσετε το αναλογικό σήμα εξόδου του μετατροπέα.



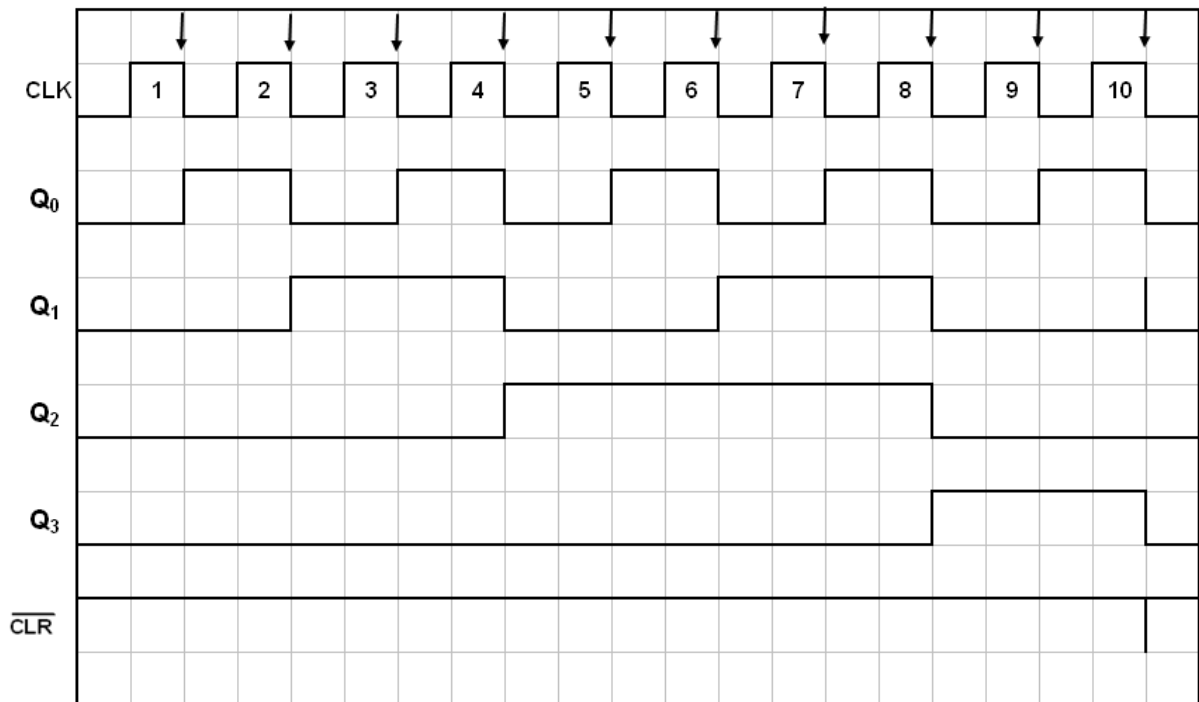
Σχήμα 14

18. Στο σχήμα 15 δίνεται το λογικό κύκλωμα δεκαδικού απαριθμητή.



Σχήμα 15

(α) Να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων του απαριθμητή στο τετραγωνισμένο χαρτί του σχήματος 16 για 10 χρονικούς παλμούς του ωρολογίου (CLK). Η αρχική κατάσταση του απαριθμητή είναι η RESET.



Σχήμα 16

(β) Η συχνότητα του ωρολογίου (CLK) του απαριθμητή είναι 800 kHz.

Να υπολογίσετε τη συχνότητα f_{Q3} των παλμών στην έξοδο του Φλιπ Φλοπ που δίνει το περισσότερο σημαντικό ψηφίο.

$$f_{Q3} = \frac{f_{\text{CLK}}}{10} = \frac{800 \text{ kHz}}{10} = 80 \text{ kHz}$$

$$f_{Q3} = \underline{\underline{80 \text{ kHz}}}$$

(γ) Ασύγχρονος δυαδικός απαριθμητής έχει πέντε Φλιπ Φλοπ με χρόνο καθυστέρησης κάθε Φλιπ Φλοπ 20 ns.

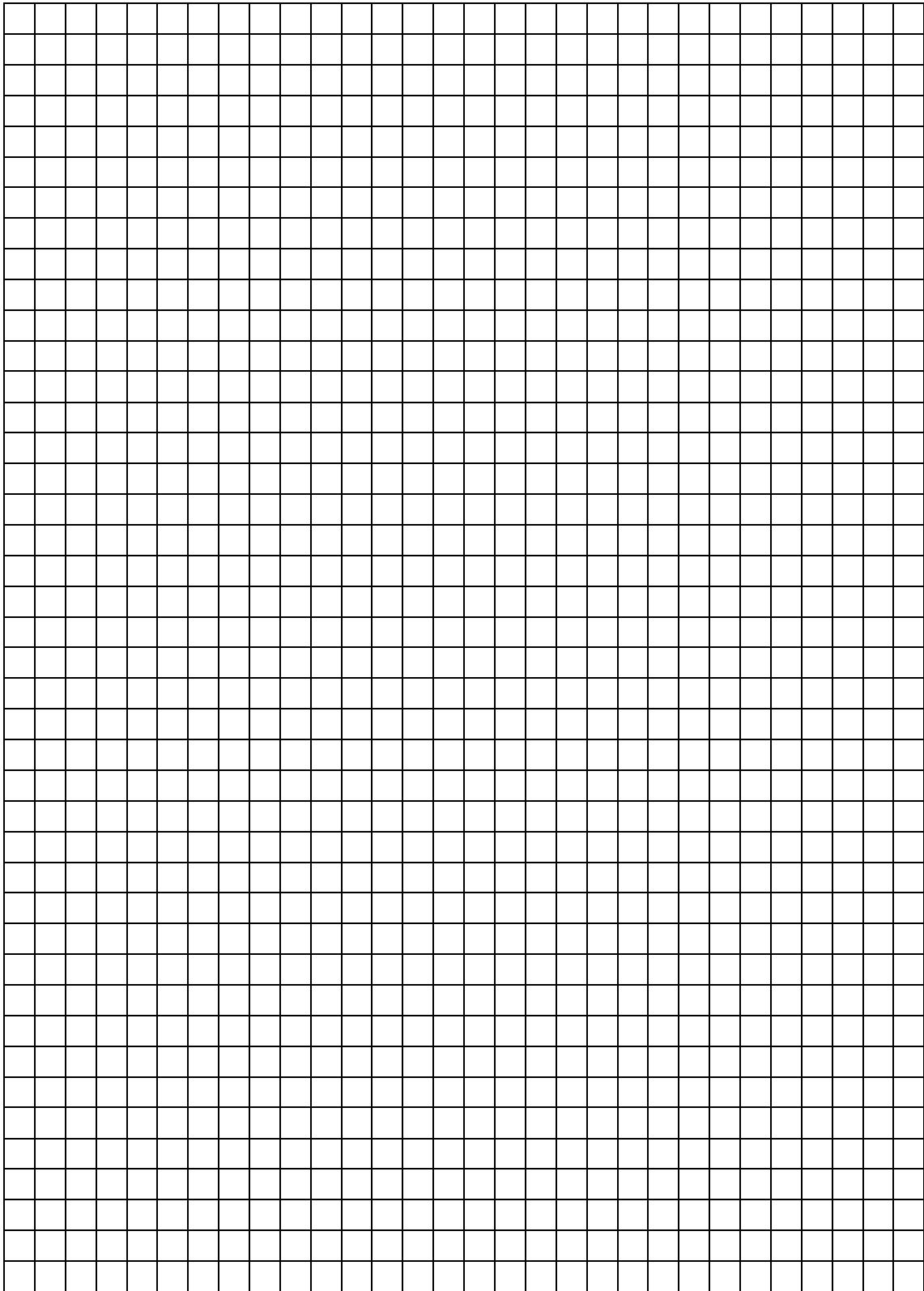
Να υπολογίσετε τη μέγιστη συχνότητα λειτουργίας, f_{MAX} , του απαριθμητή.

$$20 \text{ ns} \times 5 = 100 \text{ ns} \quad \Rightarrow \quad f_{\text{MAX}} = \frac{1}{100 \text{ ns}} = 10 \text{ MHz}$$

$$f_{\text{MAX}} = \underline{\underline{10 \text{ MHz}}}$$

----- Τέλος Εξέτασης -----

ΠΡΟΧΕΙΡΟ



ΤΥΠΟΛΟΓΙΟ	
ΑΛΓΕΒΡΑ ΤΟΥ ΜΠΟΥΛ (BOOLE)	
Αξίωμα της αντιμετάθεσης	$A + B = B + A$ $A \cdot B = B \cdot A$
Αξίωμα του προσεταιρισμού	$A \cdot B \cdot C = (A \cdot B) \cdot C = A \cdot (B \cdot C)$ $A + B + C = (A + B) + C = A + (B + C)$
Αξίωμα του επιμερισμού	$A \cdot (B + C) = A \cdot B + A \cdot C$
Κανόνες της άλγεβρας Boole	$A + 0 = A$ $A + 1 = 1$ $A \cdot 0 = 0$ $A \cdot 1 = A$ $A + A = A$ $A + \bar{A} = 1$ $A \cdot A = A$ $A \cdot \bar{A} = 0$ $\bar{\bar{A}} = A$ $A + A \cdot B = A$ $A + \bar{A} \cdot B = A + B$ $(A + B) \cdot (A + C) = A + B \cdot C$
Θεώρημα Ντε Μόργαν (De Morgan)	$\overline{A + B} = \bar{A} \cdot \bar{B}$ $\overline{A \cdot B} = \bar{A} + \bar{B}$
ΛΟΓΙΚΕΣ ΠΥΛΕΣ	
Πύλη AND	$Y = A \cdot B$
Πύλη OR	$Y = A + B$
Πύλη NOT	$Y = \bar{A}$
Πύλη NAND	$Y = \overline{A \cdot B}$
Πύλη NOR	$Y = \overline{A + B}$
Πύλη EXCLUSIVE OR	$Y = A \oplus B$
Πύλη EXCLUSIVE NOR	$Y = \overline{A \oplus B}$

ΠΟΛΥΔΟΝΗΤΕΣ	
Κύκλος Δράσης	$d = \frac{t_H}{T} \times 100\%$

ΑΠΑΡΙΘΜΗΤΕΣ	
Μέγιστο μέτρο απαριθμητή	$max\ MOD = 2^v$
Μέγιστη συχνότητα αρίθμησης ασύγχρονου απαριθμητή	$f_{max} = \frac{1}{vt_p}$
Συχνότητα παλμών στην έξοδο που δίνει το περισσότερο σημαντικό ψηφίο απαριθμητή με μέτρο N	$f = \frac{f_{CLK}}{N}$
ΚΑΤΑΧΩΡΗΤΕΣ	
Συχνότητα κυκλικού απαριθμητή	$f_Q = \frac{1}{N} f_{CLK}$
Συχνότητα απαριθμητή Τζόνσον (Johnson)	$f_Q = \frac{1}{2N} f_{CLK}$
ΜΕΤΑΤΡΟΠΕΙΣ D/A	
Μετατροπέας D/A με σταθμισμένες αντιστάσεις και τελεστικό ενισχυτή	$U_{out} = -U_{in} \frac{R_f}{8R} (8D_3 + 4D_2 + 2D_1 + D_0)$
Μετατροπείς D/A με κλιμακωτό δίκτυο αντιστάσεων και τελεστικό ενισχυτή	$U_{out} = -U_{in} \frac{R_f}{2R} (D_3 + \frac{1}{2} D_2 + \frac{1}{4} D_1 + \frac{1}{8} D_0)$
	$U_{out} = \frac{U_{in}}{2} (D_3 + \frac{1}{2} D_2 + \frac{1}{4} D_1 + \frac{1}{8} D_0)$
Ανάλυση	$\frac{FS}{2^N - 1}$
Ανάλυση %	$\frac{1}{2^N - 1} 100\%$