

**ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΠΟΛΙΤΙΣΜΟΥ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΚΑΙ ΑΝΩΤΑΤΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ**

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ 2012

ΤΕΧΝΟΛΟΓΙΑ (ΙΙ) ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΘΕΩΡΗΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Ψηφιακά Ηλεκτρονικά (155)
Ημερομηνία : Παρασκευή, 8 Ιουνίου 2012
Ωρα εξέτασης : 07:30 – 10:00

Λύσεις

ΜΕΡΟΣ Α΄

1. (α) Να αναφέρετε τι είναι το “περιθώριο θορύβου” μιας λογικής οικογένειας.
Το περιθώριο θορύβου είναι η μέγιστη τάση ηλεκτρονικού θορύβου, που μπορεί να προστεθεί στο σήμα εισόδου μιας πύλης χωρίς να αλλάξει η λογική του κατάσταση.

2. (α) Να εξηγήσετε τι είναι η υστέρηση σε ένα κύκλωμα σκανδάλης Σμιτ.
Υστέρηση είναι η διαφορά μεταξύ των τιμών της ψηλής και της χαμηλής τάσης κατωφλίου.

(β) Ασταθής πολυδονητής παράγει παλμούς με περίοδο $T = 10 \text{ ms}$. Ο κύκλος δράσης (duty cycle) των παλμών είναι 60%. Να υπολογίσετε τον χρόνο t_H (χρόνος που ο παλμός εξόδου είναι 1) των παλμών.

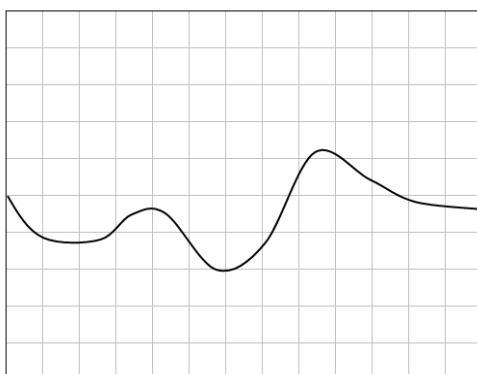
$$d = t_H / T \times 100\% \quad t_H = 60\% \times 10 \times 10^{-3} / 100\% = 6 \text{ ms}$$

3. (α) Να αναφέρετε δύο πλεονεκτήματα των ψηφιακών συστημάτων έναντι των αναλογικών.

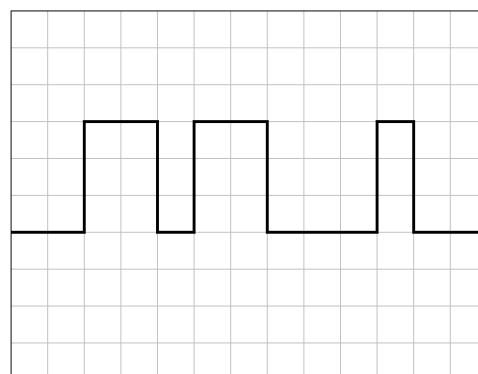
Δύο από τα πιο κάτω:

- Πρόγραμματισμός
- Αλάνθαστο στην επεξεργασία και στη μεταφορά των πληροφοριών
- Μικρή ευαισθησία των ψηφιακών σημάτων στο θόρυβο.
- Πολύ καλή τεχνολογία
- Εύκολη αποθήκευση μεγάλου όγκου πληροφοριών

(β) Στο τετραγωνισμένο χαρτί του σχήματος 1 να σχεδιάσετε έναν αναλογικό και έναν ψηφιακό σήμα.



Αναλογικό Σήμα



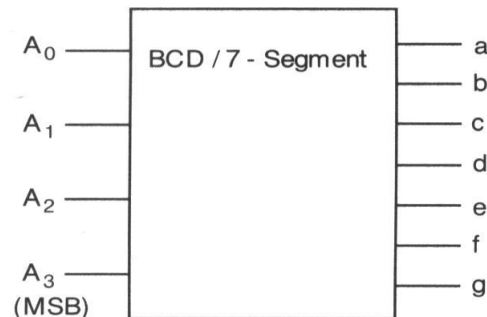
Ψηφιακό Σήμα

Σχήμα 1

4. (α) Να υπολογίσετε το μέγιστο μέτρο απαριθμητή με 7 Φλιπ Φλοπ.
 $2^7 = 128$ Μέγιστο μέτρο = 128
- (β) Να υπολογίσετε τον αριθμό των Φλιπ Φλοπ που έχει ένας απαριθμητής ο οποίος μετρά, μέχρι το 50.

$$2^5 < 50 < 2^6 \Rightarrow 6 \text{ ΦΦ}$$

5. (α) Να αναφέρετε το λόγο για τον οποίο χρησιμοποιούνται οθόνες LCD αντί LED σε όργανα και συσκευές που εργάζονται με μπαταρίες.
 Οι οθόνες LCD λειτουργούν με πάρα πολύ μικρή κατανάλωση ηλεκτρικής ενέργειας σε σύγκριση με τις οθόνες LED
- (β) Στο σχήμα 2 δίνεται το σύμβολο αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει τον ενδείκτη 7-τμημάτων.



Σχήμα 2

Εάν η λογική κατάσταση των εισόδων του αποκωδικοποιητή είναι $A_3A_2A_1A_0 = 0000$ να γράψετε την λογική κατάσταση των εξόδων του.

$a = 1$	$e = 1$
$b = 1$	$f = 1$
$c = 1$	$g = 0$
$d = 1$	

6. Να επιλέξετε τη σωστή απάντηση.
- (α) Για να φορτωθεί πλήρως μια πληροφορία των 4-bit σε ένα καταχωρητή με διαδοχική είσοδο και απαιτούνται:
- (1) 1 χρονικός παλμός ωρολογίου (CLK).
 - (2) 4 χρονικοί παλμοί ωρολογίου (CLK).**
 - (3) 8 χρονικοί παλμοί ωρολογίου (CLK).
 - (4) 16 χρονικοί παλμοί ωρολογίου (CLK).

(α) **4 χρονικοί παλμοί ωρολογίου (CLK)**

(β) Για να μετατραπεί ένα σειριακό σήμα σε παράλληλο, απαιτείται η χρήση καταχωρητή με:

- (1) Διαδοχική είσοδο και διαδοχική έξοδο.
- (2) Διαδοχική είσοδο και παράλληλη έξοδο.**
- (3) Παράλληλη είσοδο και παράλληλη έξοδο.
- (4) Παράλληλη είσοδο και διαδοχική έξοδο.

(β) **Διαδοχική είσοδο και παράλληλη έξοδο.**

7. Από τις πιο κάτω δηλώσεις να επιλέξετε **δύο (2)** πλεονεκτήματα των κυκλωμάτων της λογικής οικογένειας CMOS έναντι της οικογένειας TTL:

- (1) Έχουν πολύ μικρή κατανάλωση ισχύος.**
- (2) Είναι ευαίσθητα στο στατικό ηλεκτρισμό.
- (3) Έχουν μικρό περιθώριο θορύβου.
- (4) Ο χρόνος διάδοσης τους είναι σχετικά μεγάλος και η ταχύτητα λειτουργίας τους είναι σχετικά πιο χαμηλή από άλλες λογικές οικογένειες.
- (5) Η τάση τροφοδοσίας μπορεί να μην είναι σταθερή και μπορεί να κυμανθεί από 3 V μέχρι 15 V.**

- (1) Έχουν πολύ μικρή κατανάλωση ισχύος.
- (2) Η τάση τροφοδοσίας μπορεί να μην είναι σταθερή και μπορεί να κυμανθεί από 3 V μέχρι 15 V.**

8. Στο σχήμα 3 δίνεται το σύμβολο και ο πίνακας αληθείας του αποπολυπλέκτη μιας γραμμής σε τέσσερις.
Να γράψετε τις λογικές συναρτήσεις των εξόδων του.



Σχήμα 3

Λογικές συναρτήσεις αποπολυπλέκτη μιας γραμμής σε τέσσερις.

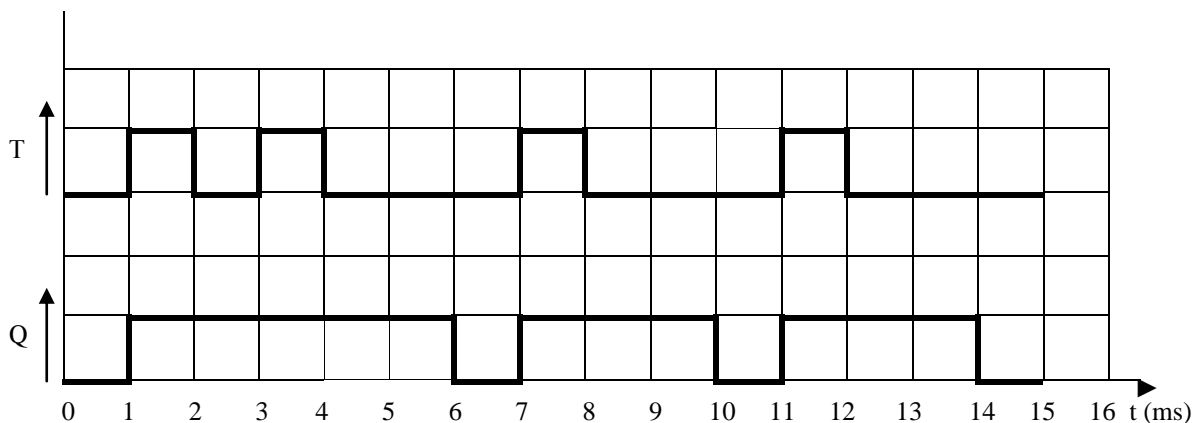
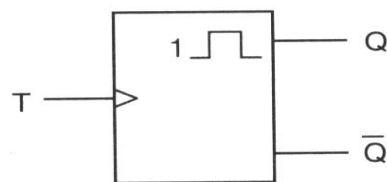
$$D_0 = \bar{S}_1 \bar{S}_0 D$$

$$D_1 = \bar{S}_1 S_0 D$$

$$D_2 = S_1 \bar{S}_0 D$$

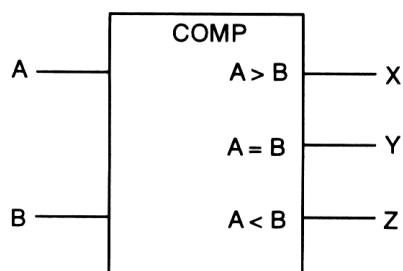
$$D_3 = S_1 S_2 D$$

9. Επαναδιεγείρομενος μονοσταθής πολυδονητής διεγείρεται στα θετικά μέτωπα των παλμών διέγερσης και έχει χρόνο βολής 3 ms. Η σταθερή κατάσταση του μονοσταθούς πολυδονητή είναι η λογική κατάσταση 0. Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q κάτω από το χρονικό διάγραμμα των παλμών διέγερσης που δίνεται στο σχήμα 4 .



Σχήμα 4

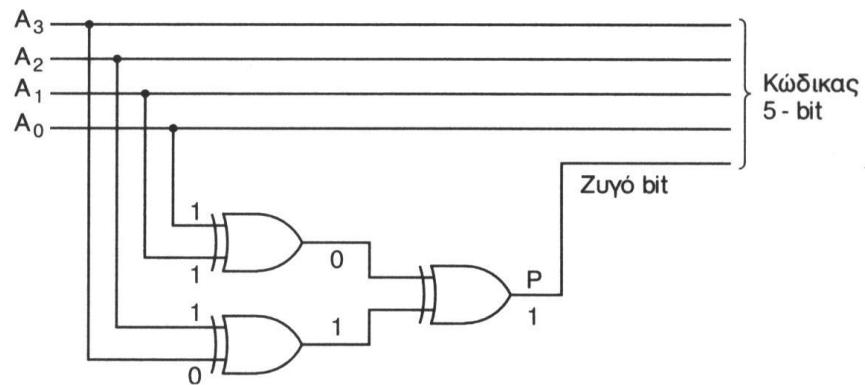
10. Στο σχήμα 5 δίνεται το λογικό σύμβολο του ψηφιακού συγκριτή που συγκρίνει δύο αριθμούς του 1-bit. Να συμπληρώσετε τον πίνακα αληθείας του.



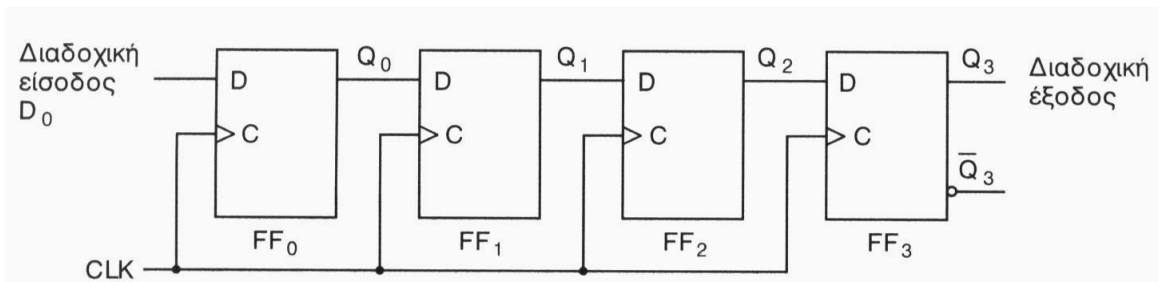
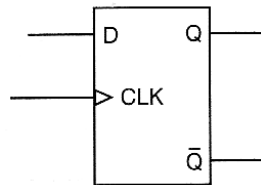
ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ		
A	B	X	Y	Z
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Σχήμα 5

11. Να σχεδιάσετε κύκλωμα παραγωγής ζυγού ψηφίου ισοτιμίας στον κώδικα BCD.



12. Με τη χρήση του D Φλιπ Φλοπ του σχήματος 6, να σχεδιάσετε ένα καταχωρητή 4 bit με διαδοχική είσοδο και διαδοχική έξοδο.

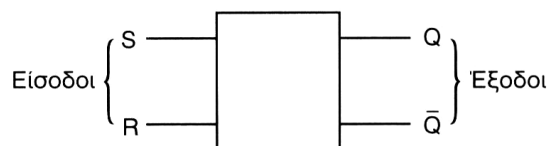


Σχήμα 5

ΜΕΡΟΣ Β΄

13. (α) Στο σχήμα 7, δίνεται το λογικό σύμβολο ασύγχρονου SR Φλιπ Φλοπ. Να συμπληρώσετε τον πίνακα αληθείας του.

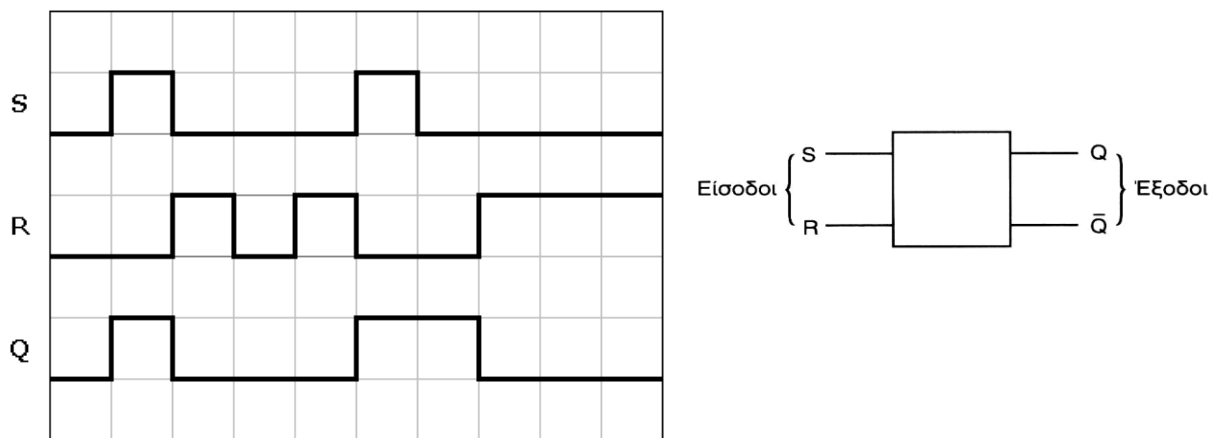
Είσοδοι		Έξοδοι		
S	R	Q_{N+1}	\bar{Q}_{N+1}	Κατάσταση



Σχήμα 6

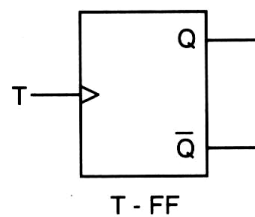
Είσοδοι		Έξοδοι		
S	R	Q_{n+1}	\bar{Q}_{n+1}	Κατάσταση
0	0	Q_n	\bar{Q}_n	MEMORY
0	1	0	1	RESET
1	0	1	0	SET
1	1	0	0	Απαγορευμένη

(β) Στο σχήμα 8 δίνονται τα χρονικά διαγράμματα των εισόδων ασύγχρονου SR Φλιπ Φλοπ. Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του Φλιπ Φλοπ. Αρχικά το Φλιπ Φλοπ βρίσκεται στην κατάσταση RESET ($Q = 0$).

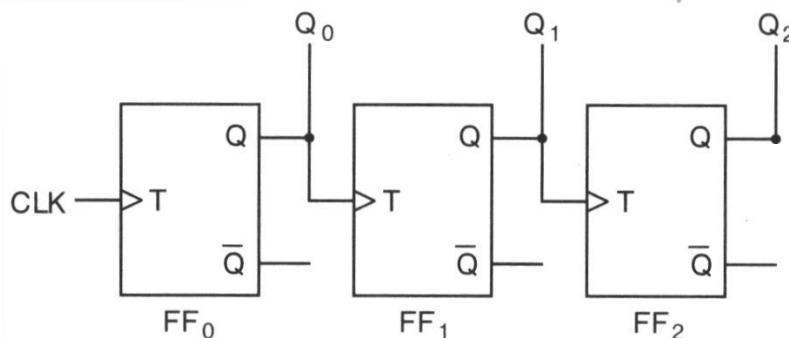


Σχήμα 8

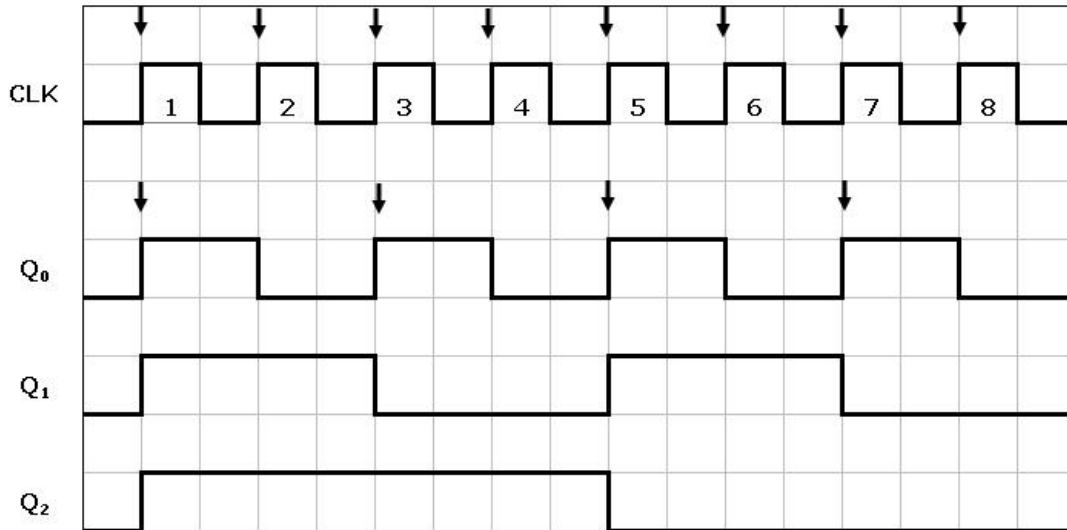
14. (α) Να σχεδιάσετε το λογικό κύκλωμα ασύγχρονου δυαδικού απαριθμητή 3-bit που μετρά προς τα κάτω με τη χρήση του T Φλιπ Φλοπ του σχήματος 9.



Σχήμα 9



- (β) Με βάση το λογικό κύκλωμα του ασύγχρονου δυαδικού απαριθμητή 3-bit της ερώτησης 14(α), να σχεδιάσετε στο τετραγωνισμένο χαρτί του σχήματος 10, τα χρονικά διαγράμματα των δύο εξόδων του, για οκτώ (8) ωρολογιακούς παλμούς (CLK). Η αρχική κατάσταση του απαριθμητή είναι RESET.



Σχήμα 10

- (γ) Αν στο πιο πάνω κύκλωμα ασύγχρονου δυαδικού απαριθμητή 3-bit η συχνότητα των ωρολογιακών παλμών (CLK) είναι 600 kHz, να υπολογίσετε τη συχνότητα των παλμών στην έξοδο Q του Φλιπ Φλοπ που δίνει το περισσότερο σημαντικό ψηφίο (MSB).

$$f_{Q2(\text{MSB})} = 600 \text{ KHz} / 2^3 = 75 \text{ KHz}$$

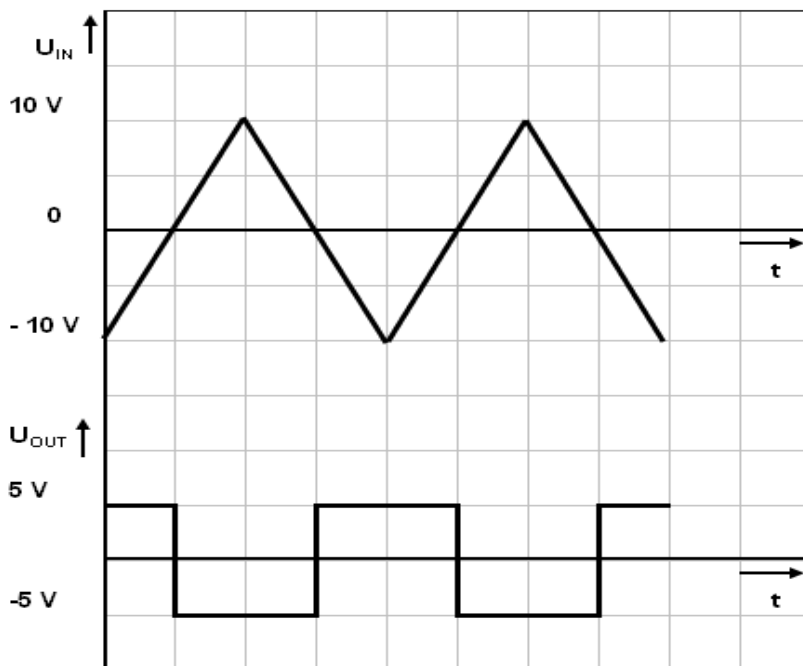
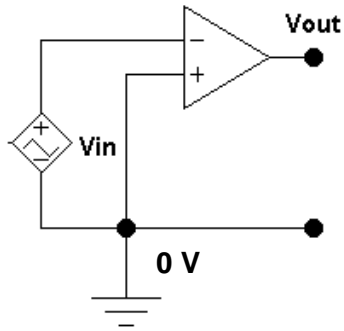
15. (α) Να εξηγήσετε τη λειτουργία του συγκριτή τάσης.

Ο συγκριτής τάσης συγκρίνει τις τάσεις που εφαρμόζονται στις δύο εισόδους του, τη θετική είσοδο και την αρνητική είσοδο:

Αν η τιμή της τάσης που εφαρμόζεται στη θετική είσοδο είναι πιο ψηλή από την τιμή της τάσης στην αρνητική είσοδο, τότε η έξοδός του οδηγείται στη ψηλή τιμή.

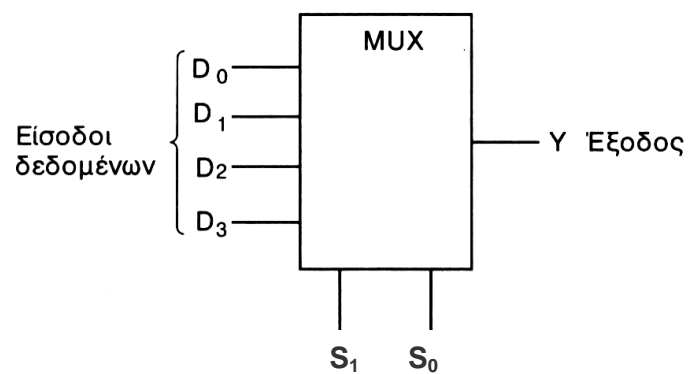
Αν η τιμή της τάσης που εφαρμόζεται στην αρνητική είσοδο είναι πιο ψηλή από την τιμή της τάσης στη θετική είσοδο, τότε η έξοδός του οδηγείται στη χαμηλή τιμή.

- (β) Στο σχήμα 11 δίνεται το κύκλωμα συγκριτή τάσης και τα σήματα που εφαρμόζονται στις δύο εισόδους του. Να σχεδιάσετε το σήμα εξόδου του συγκριτή αν οι μέγιστες τιμές εξόδου είναι $\pm 5 \text{ V}$.



Σχήμα 11

16. Στο σχήμα 12 δίνεται το λογικό σύμβολο του πολυπλέκτη με 4 γραμμές εισόδου δεδομένων και δύο γραμμές επιλογής εισόδου S0 και S1.



Σχήμα 12

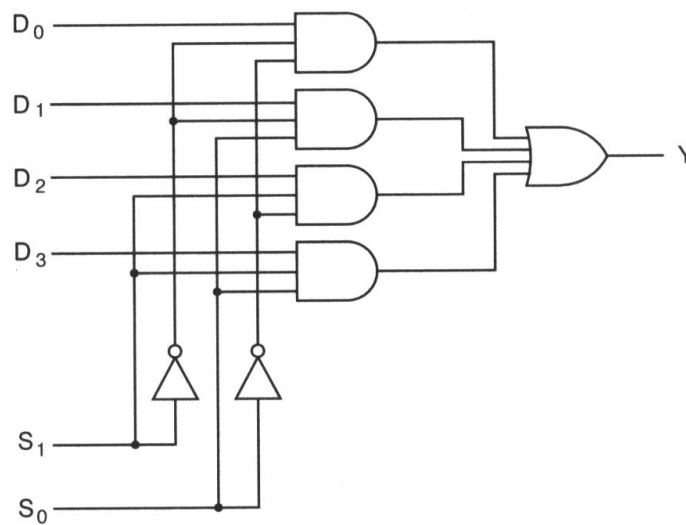
(α) Να συμπληρώσετε τον Πίνακα Αληθείας του πολυπλέκτη.

Είσοδοι		Έξοδος
S ₁	S ₀	Y
0	0	D ₀
0	1	D ₁
1	0	D ₂
1	1	D ₃

(β) Να γράψετε τη λογική συνάρτηση της εξόδου Y.

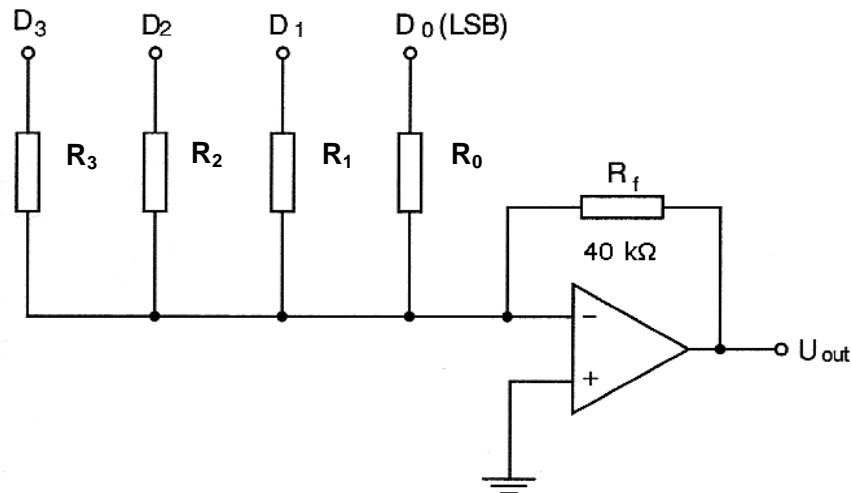
$$Y = \bar{S}_1 \bar{S}_0 D_0 + \bar{S}_1 S_0 D_1 + S_1 \bar{S}_0 D_2 + S_1 S_0 D_3$$

(γ) Να σχεδιάσετε το λογικό κύκλωμα του πιο πάνω πολυπλέκτη.



ΜΕΡΟΣ Γ΄

17. Στο σχήμα 13 δίνεται το κύκλωμα μετατροπέα ψηφιακού σήματος σε αναλογικό με αντιστάσεις σταθμισμένες στο δυαδικό σύστημα. Η τιμή της αντίστασης για το ψηφίο με την ελάχιστη σημαντική αξία (LSB) είναι $R_0 = 100 \text{ k}\Omega$.



Σχήμα 13

- (α) Να υπολογίσετε τις τιμές των αντιστάσεων R_1 , R_2 και R_3 .

$$R_1 = 50 \text{ k}\Omega$$

$$R_2 = 25 \text{ k}\Omega$$

$$R_3 = 12,5 \text{ k}\Omega$$

- (β) Να υπολογίσετε τη μέγιστη τάση εξόδου του κυκλώματος του σχήματος 13 με την προϋπόθεση ότι το λογικό 1 = + 5 V και το λογικό 0 = 0 V.

Θα έχουμε μέγιστη τάση εξόδου όταν το ψηφιακό σήμα εισόδου ισούται με $D_3D_2D_1D_0 = 1111$

$$R = 12,5 \text{ k}\Omega$$

$$U_{out} = -U_{in} \frac{R_f}{8R} (8D_3 + 4D_2 + 2D_1 + D_0)$$

$$U_{out} = -5 \frac{40}{8 \cdot 12,5} (8 + 4 + 2 + 1) = -30 \text{ V}$$

- (γ) Πόσοι χρονικοί παλμοί απαιτούνται για τη μετατροπή ενός αναλογικού σήματος σε ψηφιακό με τη χρήση μετατροπέα διαδοχικών προσεγγίσεων 4-bit;

4 χρονικοί παλμοί

(δ) Να υπολογίσετε το χρόνο μετατροπής του αναλογικού σήματος σε ψηφιακό, του μετατροπέα διαδοχικών προσεγγίσεων της ερώτησης (γ), αν η συχνότητα του ρολογιού (CLK) είναι 10 MHz.

$$\text{Περίοδος χρονικού παλμού, } T = \frac{1}{f} = \frac{1}{10 \cdot 10^{-6}} = 0,1 \mu\text{s}$$

Άρα απαιτούνται 0, 4 μs

18. Στο σχήμα 14 δίνεται το σύμβολο του αποκωδικοποιητή 2 bit σε 4 γραμμές με τις εξόδους ενεργές στο λογικό 0, (Active Low).



Σχήμα 14

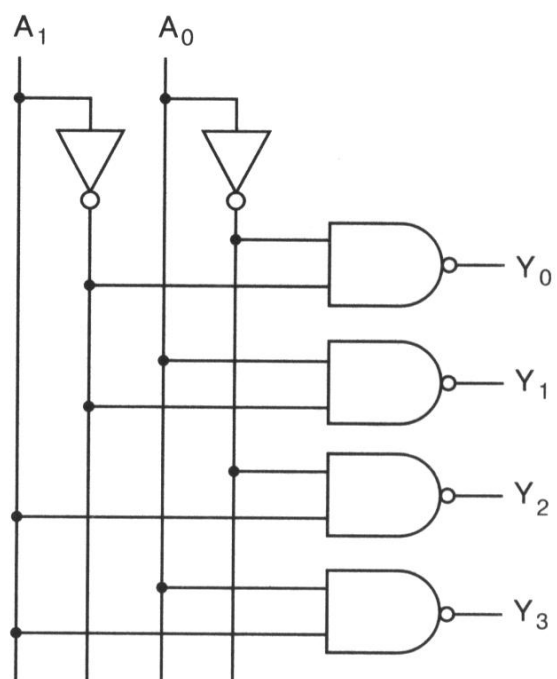
(α) Να συμπληρώσετε τον Πίνακα Αληθείας του αποκωδικοποιητή.

Α/Α	ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ			
	A ₁	A ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	1	1	1	0
1	0	1	1	1	0	1
2	1	0	1	0	1	1
3	1	1	0	1	1	1

(β) Να γράψετε τις λογικές συναρτήσεις των εξόδων του πιο πάνω αποκωδικοποιητή.

$$\begin{aligned} \overline{Y_0} &= \overline{A_1} \overline{A_0} & (0, 0) & & Y_0 &= \overline{\overline{\overline{A_1} \overline{A_0}}} \\ \overline{Y_1} &= \overline{A_1} A_0 & (0, 1) & & Y_1 &= \overline{\overline{\overline{A_1} A_0}} \\ \overline{Y_2} &= A_1 \overline{A_0} & (1, 0) & & Y_2 &= \overline{\overline{\overline{A_1} \overline{A_0}}} \\ \overline{Y_3} &= A_1 A_0 & (1, 1) & & Y_3 &= \overline{\overline{\overline{A_1} A_0}}} \end{aligned}$$

(γ) Να σχεδιάσετε το λογικό κύκλωμα του πιο πάνω αποκωδικοποιητή.



--- Τέλος Εξέτασης ---