

**ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΠΟΛΙΤΙΣΜΟΥ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΚΑΙ ΑΝΩΤΑΤΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ**

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ 2014

ΤΕΧΝΟΛΟΓΙΑ (ΙΙ) ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΘΕΩΡΗΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Ψηφιακά Ηλεκτρονικά ΘΚ ΙΙ (155)
Ημερομηνία : Πέμπτη, 29 Μαΐου 2014
Ώρα εξέτασης : 08:00 - 10:30

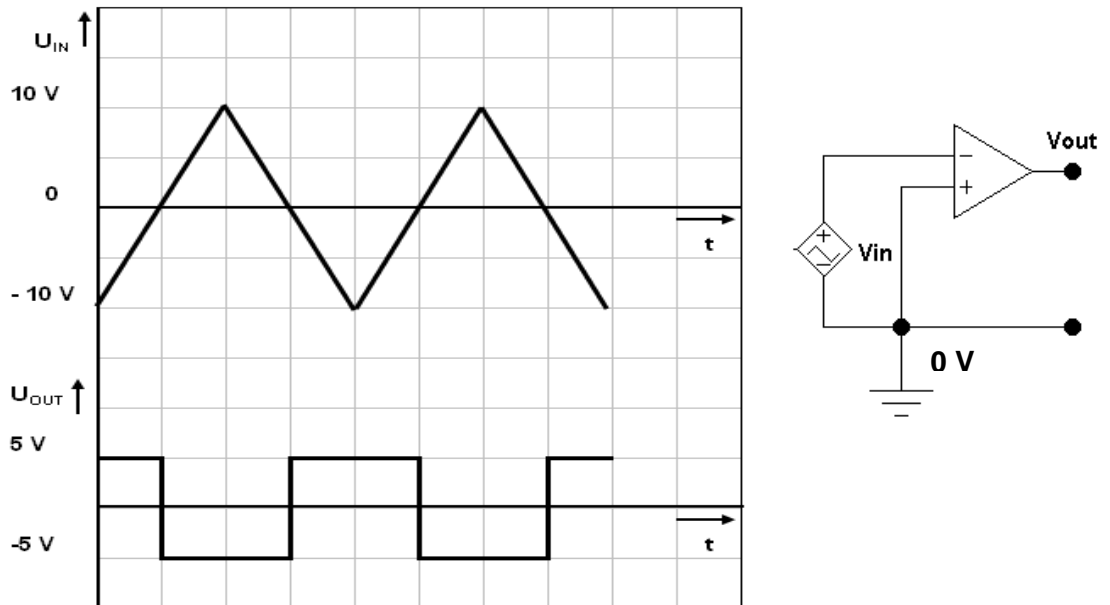
Επιτρεπόμενη διάρκεια γραπτού 2, 5 ώρες (150 λεπτά)

ΤΟ ΕΞΕΤΑΣΤΙΚΟ ΔΟΚΙΜΙΟ ΑΠΟΤΕΛΕΙΤΑΙ ΑΠΟ ΕΙΚΟΣΙ (20) ΣΕΛΙΔΕΣ ΚΑΙ ΤΡΙΑ ΜΕΡΗ (Α΄, Β΄ ΚΑΙ Γ΄)

Λύσεις

ΜΕΡΟΣ Α΄ - Το μέρος Α΄ αποτελείται από 12 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 4 μονάδες.

1. (α) Στο σχήμα 1 δίνεται το κύκλωμα συγκριτή τάσης και τα σήματα που εφαρμόζονται στις δύο εισόδους του. Οι μέγιστες τάσεις εξόδου είναι $\pm 5 \text{ V}$.



Σχήμα 1

Με τη βοήθεια του σχήματος 1, να δώσετε τον ορισμό του συγκριτή τάσης και να αναφέρετε την αρχή λειτουργίας του.

Απάντηση

Ο συγκριτής τάσης είναι ένα κύκλωμα που συγκρίνει τις τάσεις που εφαρμόζονται στις δύο εισόδους του, τη θετική και την αρνητική είσοδο.

Αν η τιμή της τάσης στη θετική είσοδο είναι πιο μεγάλη από την τιμή της τάσης στην αρνητική είσοδο του τελεστικού ενισχυτή, τότε η έξοδος οδηγείται στη ψηλή τιμή εξόδου.

Αντίθετα αν η τιμή της τάσης στην αρνητική είσοδο είναι πιο μεγάλη από την τιμή της τάσης στην θετική είσοδο, τότε η έξοδος του οδηγείται στη χαμηλή τιμή εξόδου.

- (β) Να αναφέρετε δύο χαρακτηριστικά σύγκρισης λογικών οικογενειών.

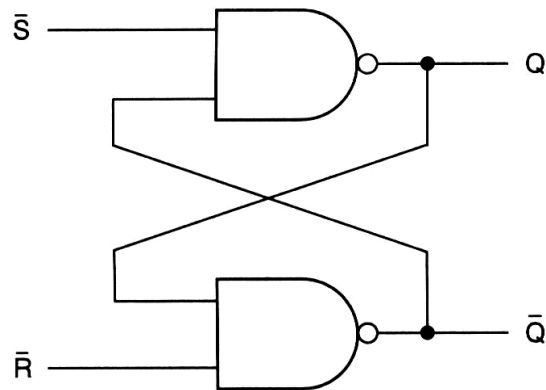
Απάντηση

Δύο από τα πιο κάτω χαρακτηριστικά:

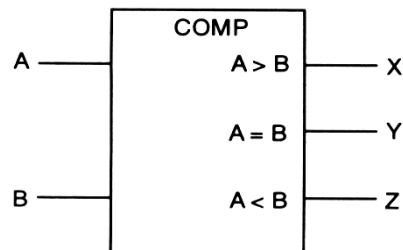
- (1) Καταναλισκόμενη ισχύς
- (2) Λογικά επίπεδα
- (3) Περιθώριο θορύβου
- (4) Καθυστέρηση διάδοσης
- (5) Ικανότητα οδήγησης
- (6) Τάση τροφοδοσίας
- (7) Γινόμενο ταχύτητας - ισχύος

2. Να σχεδιάσετε το λογικό κύκλωμα ασύγχρονου SR Φλιπ Φλοπ με δύο πύλες NAND.

Απάντηση



3. Στο σχήμα 2 δίνεται το λογικό σύμβολο του ψηφιακού συγκριτή που συγκρίνει δύο αριθμούς του 1-bit.



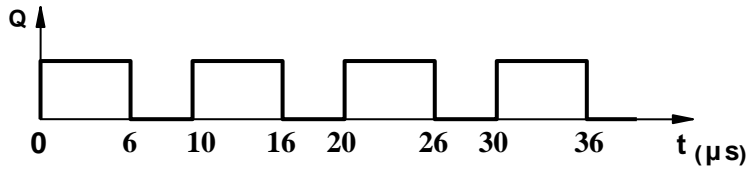
Σχήμα 2

Να συμπληρώσετε τον πίνακα λειτουργίας του συγκριτή.

Απάντηση

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ		
A	B	X	Y	Z
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

4. Στο σχήμα 3 δίνεται η κυματομορφή εξόδου ενός ασταθή πολυδονητή. Να υπολογίσετε:
- (α) Τη συχνότητα, f .
- (β) Τον κύκλο δράσης, d .



Σχήμα 3

Απάντηση

Περίοδος, $T = 10 \mu s$

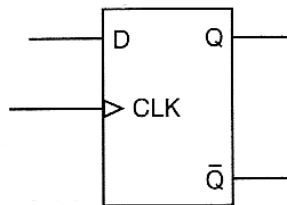
$$\text{Συχνότητα, } f = \frac{1}{T} = \frac{1}{10 \mu s} = 100 \text{ kHz}$$

$$\text{Κύκλος Δράσης, } d = \frac{\text{Χρόνος στο λογικό 1}}{\text{Περίοδος}} \times 100 \% = \frac{6}{10} \times 100 \% = 60\%$$

Συχνότητα, $f = 100 \text{ kHz}$

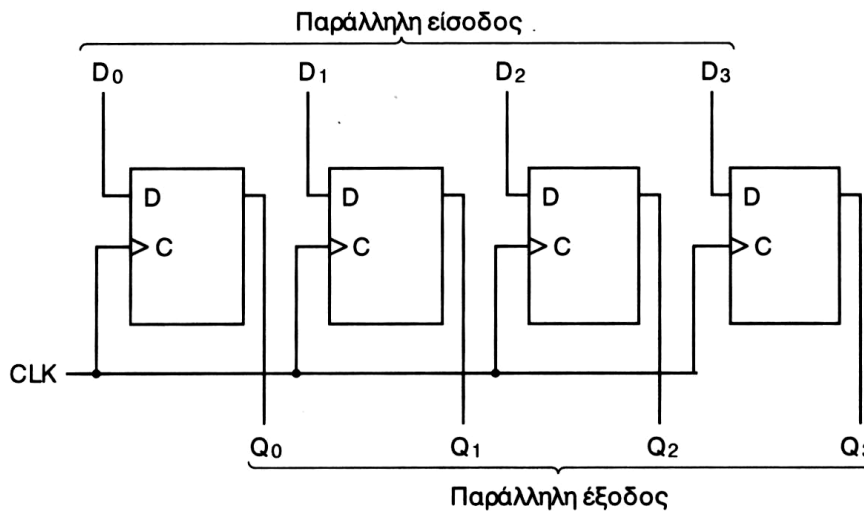
Κύκλος δράσης, $d = 60 \%$

5. Με τη χρήση του D Φλιπ Φλοπ του σχήματος 4, να σχεδιάσετε ένα καταχωρητή 4-bit με παράλληλη είσοδο και παράλληλη έξοδο.

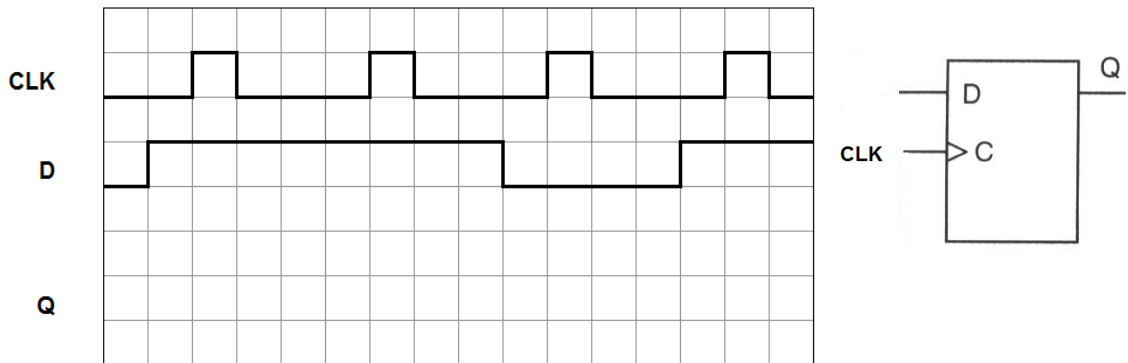


Σχήμα 4

Απάντηση

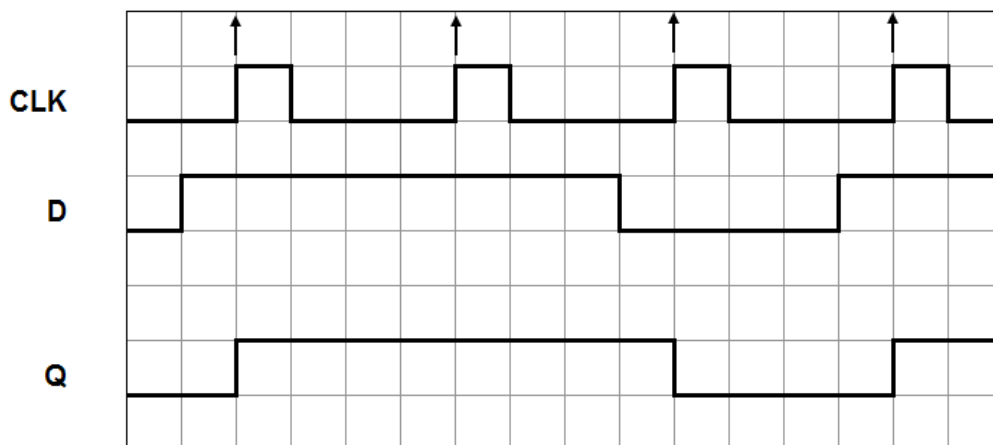


6. Στο σχήμα 5 δίνεται το λογικό σύμβολο και τα χρονικά διαγράμματα των εισόδων D Φλιπ Φλοπ που χρονίζεται στα θετικά μέτωπα των παλμών του ωρολογίου (CLK). Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του Φλιπ Φλοπ για 4 χρονικούς παλμούς του ωρολογίου (CLK). Η αρχική κατάσταση του Φλιπ Φλοπ είναι το λογικό 0 (RESET).



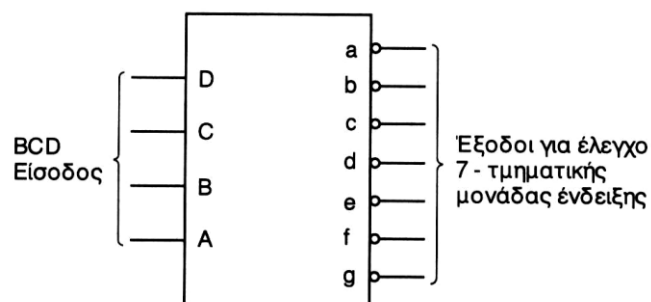
Σχήμα 5

Απάντηση



7. Στο σχήμα 6 δίνεται το λογικό σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει ένα ενδείκτη 7- τμημάτων με τις εξόδους ενεργές στο λογικό 0. Οι τιμές των εξόδων του αποκωδικοποιητή είναι:

$$a = 0, b = 0, c = 0, d = 0, e = 0, f = 0, g = 0$$



Σχήμα 6

(α) Να δώσετε τη λογική κατάσταση των εισόδων του αποκωδικοποιητή.

Απάντηση

D = 1 C = 0 B = 0 A = 0

(β) Να αναφέρετε τον αριθμό που θα εμφανιστεί στον ενδείκτη 7-τμημάτων.

Απάντηση

Ο αριθμός 8

8. Ασύγχρονος δυαδικός απαριθμητής των 5-bit που μετρά προς τα πάνω αποτελείται από Φλιπ Φλοπ με χρόνο καθυστέρησης 10 μs.

(α) Να υπολογίσετε το χρόνο t, που χρειάζεται, για να αλλάξει ο απαριθμητής από τη λογική κατάσταση 11111 στη λογική κατάσταση 00000.

Απάντηση

Σε ένα ασύγχρονο απαριθμητή:

Χρόνος αλλαγής, t = Χρόνος καθυστέρησης x Αριθμός Φλιπ Φλοπ απαριθμητή

t = 10 μs x 5 Φλιπ Φλοπ = 50 μs

t = 50 μs

(β) Να υπολογίσετε τη μέγιστη συχνότητα λειτουργίας f_{\max} του πιο πάνω απαριθμητή.

Απάντηση

$$f_{\max} = \frac{1}{n t_p} = \frac{1}{5 \cdot 10 \mu s} = 20 \text{ kHz}$$

$f_{\max} = 20 \text{ MHz}$

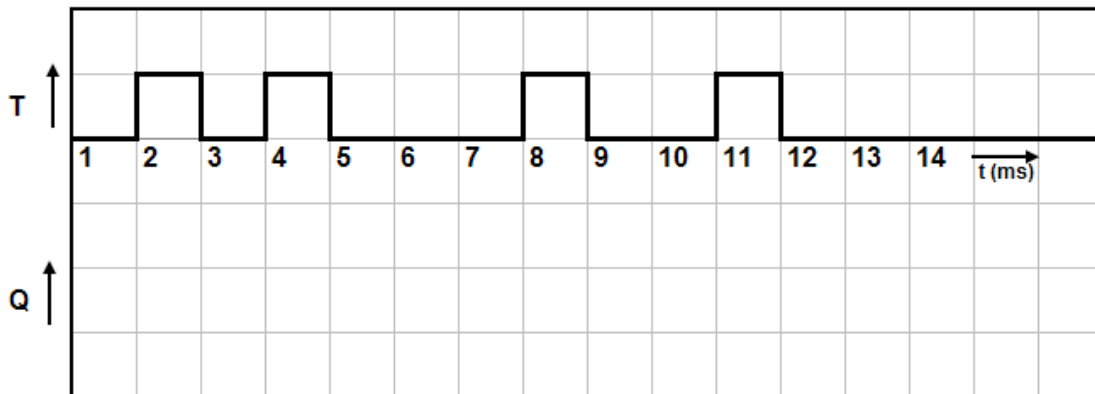
9. Η λογική κατάσταση ενός καταχωρητή των 8-bit είναι 00000000. Στον καταχωρητή εισέρχεται με σειριακό τρόπο η πληροφορία 11000011 με ταυτόχρονη μετακίνηση των bit προς τα δεξιά. Να γράψετε τη νέα λογική κατάσταση του καταχωρητή μετά από 4 χρονικούς παλμούς.

Απάντηση

0011000

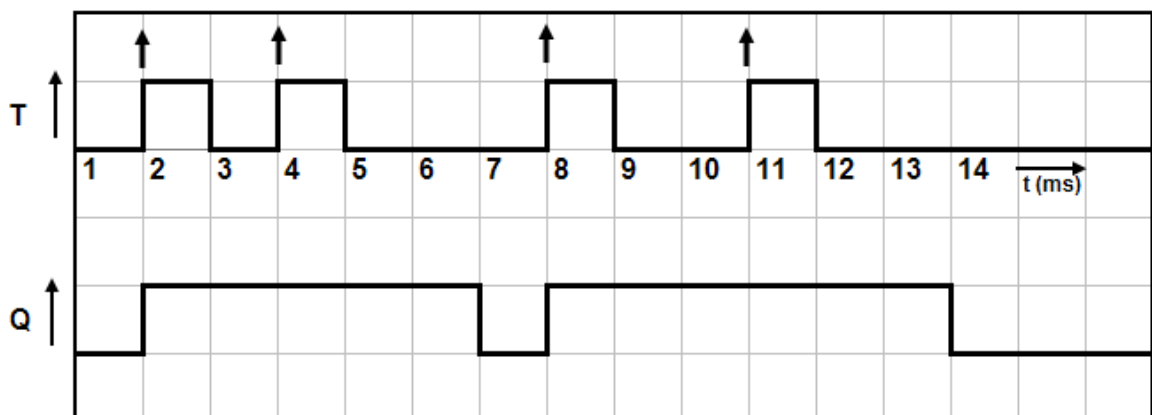
10. Στο σχήμα 7 δίνεται το χρονικό διάγραμμα εισόδου επαναδιεγειρόμενου μονοσταθί πολυδονητή, ο οποίος διεγείρεται στα θετικά μέτωπα των παλμών διέγερσης και έχει χρόνο βολής 3 ms. Η σταθερά κατάσταση του μονοσταθί πολυδονητή είναι η λογική κατάσταση 0.

Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του πολυδονητή κάτω από το χρονικό διάγραμμα των παλμών διέγερσης.



Σχήμα 7

Απάντηση



11. Να επιλέξετε τη σωστή απάντηση:

(α) Ένας κυκλικός ολισθητής των 4-bit μπορεί να χρησιμοποιηθεί σαν κυκλικός απαριθμητής εάν η καταχωρημένη κωδική λέξη στον ολισθητή είναι:

- (1) 0000
- (2) 0111
- (3) 0010
- (4) 1010

Απάντηση

- (3) 0010

(β) Πόσοι χρονικοί παλμοί απαιτούνται για να φορτωθεί σειριακά και να βγει σειριακά ένα byte σε ένα καταχωρητή των 8 bit;

- (1) 4
- (2) 8
- (3) 12
- (4) 16
- (5) 32

Απάντηση

- (4) 16

12. Να επιλέξετε τη σωστή απάντηση:

(α) Το JK Φλιπ Φλοπ πλεονεκτεί του SR Φλιπ Φλοπ διότι:

- (1) Είναι πιο γρήγορο.
- (2) Δεν έχει απαγορευμένη κατάσταση εισόδων.
- (3) Διαθέτει είσοδο ωρολογίου (CLK).
- (4) Διαθέτει δύο εξόδους.

Απάντηση

- (2) Δεν έχει απαγορευμένη κατάσταση εισόδων.

(β) Από πόσα Φλιπ Φλοπ αποτελείται απαριθμητής με μέτρο 32;

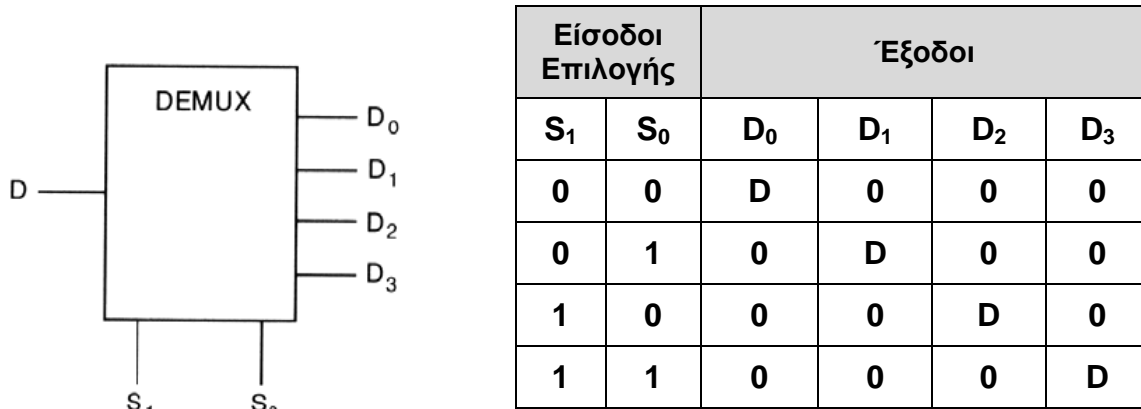
- (1) 2
- (2) 5
- (3) 8
- (4) 16
- (5) 32

Απάντηση

- (2) 5

ΜΕΡΟΣ Β΄ - Το μέρος Β΄ αποτελείται από 4 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 8 μονάδες.

13. Στο σχήμα 8 δίνεται το λογικό σύμβολο και ο πίνακας λειτουργίας του αποπολυπλέκτη μιας γραμμής σε τέσσερις.



Σχήμα 8

(β) Να γράψετε τις λογικές συναρτήσεις των τεσσάρων εξόδων του αποπολυπλέκτη.

Απάντηση

$$D_0 = \bar{S}_1 \bar{S}_0 D$$

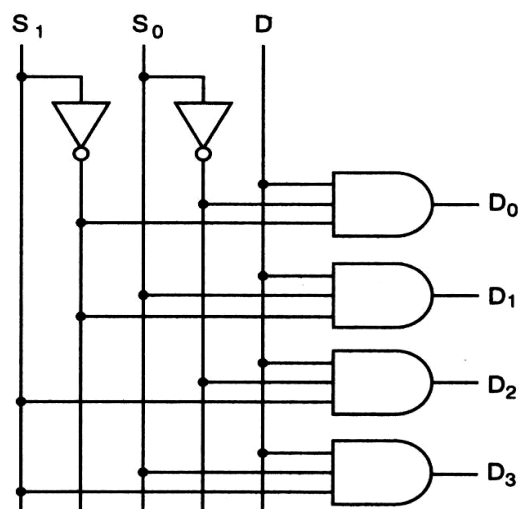
$$D_1 = \bar{S}_1 S_0 D$$

$$D_2 = S_1 \bar{S}_0 D$$

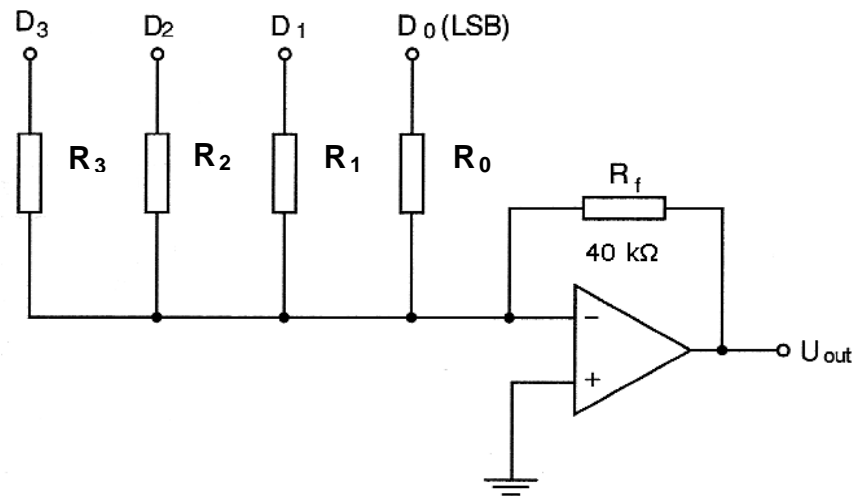
$$D_3 = S_1 S_0 D$$

(β) Να σχεδιάσετε το λογικό κύκλωμα του αποπολυπλέκτη.

Απάντηση



14. Στο σχήμα 9 δίνεται το κύκλωμα μετατροπέα ψηφιακού σήματος σε αναλογικό με αντιστάσεις σταθμισμένες στο δυαδικό σύστημα.



Σχήμα 9

- (α) Αν η αντίσταση $R_0 = 400 \text{ k}\Omega$, να υπολογίσετε την τιμή των αντιστάσεων R_1 , R_2 και R_3 .

Απάντηση

$$R_1 = 200 \text{ k}\Omega$$

$$R_2 = 100 \text{ k}\Omega$$

$$R_3 = 50 \text{ k}\Omega$$

- (β) Να υπολογίσετε την μέγιστη τάση εξόδου του κυκλώματος αν στο λογικό 1 αντιστοιχεί τάση $+5 \text{ V}$ και στο λογικό 0 τάση 0 V .

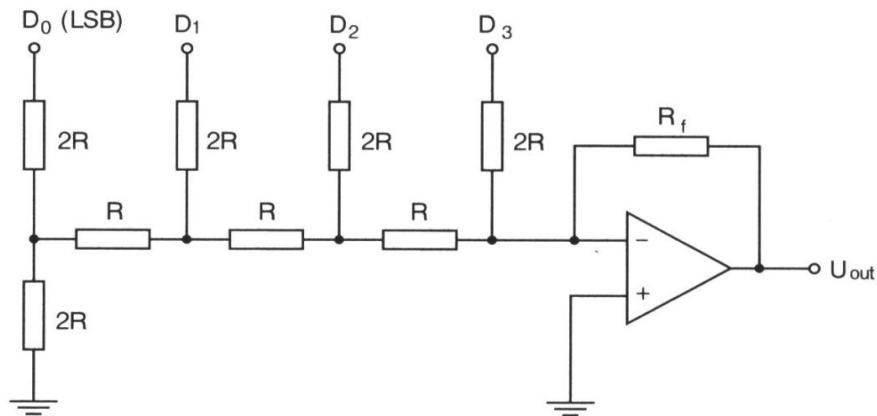
Απάντηση

$$U_{out} = -U_{in} \frac{R_f}{8R} (8D_3 + 4D_2 + 2D_1 + D_0)$$

$$U_{out} = -5 \text{ V} \frac{40 \text{ k}\Omega}{8 \times 50 \text{ k}\Omega} (8 + 4 + 2 + 1) = -7,5 \text{ V}$$

$$U_{OUT} = -7,5 \text{ V}$$

(γ) Στο σχήμα 10 δίνεται το κύκλωμα μετατροπέα ψηφιακού σήματος σε αναλογικό με κλιμακωτό δίκτυο αντιστάσεων $R/2R$.



Σχήμα 10

Αν η αντίσταση $R = 25 \text{ K}\Omega$ και η αντίσταση $R_f = 60 \text{ K}\Omega$, να υπολογίσετε την τάση εξόδου του κυκλώματος όταν στην είσοδο του εφαρμοστεί ο κώδικας 1100. Η τάση που αντιστοιχεί στο λογικό 1 είναι $+5 \text{ V}$ και στο λογικό 0 είναι 0 V .

Απάντηση

$$U_{out} = -U_{in} \frac{R_f}{2R} (D_3 + \frac{1}{2} D_2 + \frac{1}{4} 2D_1 + \frac{1}{8} D_0)$$

$$U_{out} = -5V \frac{60k\Omega}{2 \times 25k\Omega} (1 + \frac{1}{2} + 0 + 0) = -9 \text{ V}$$

$$U_{OUT} = -9 \text{ V}$$

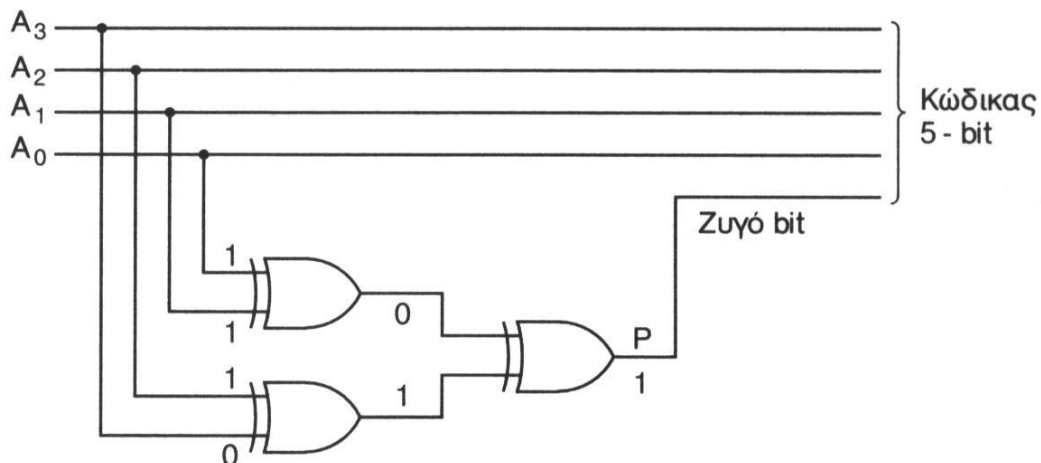
15. (α) Να δώσετε το μονό και ζυγό ψηφίο ισοτιμίας στον κώδικα BCD, συμπληρώνοντας τον πιο κάτω πίνακα.

Απάντηση

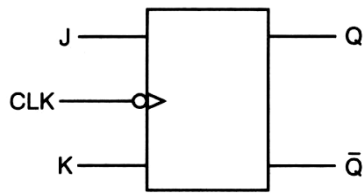
Δεκαδικός Αριθμός	Κώδικας BCD A ₃ A ₂ A ₁ A ₀	Μονό ψηφίο ισοτιμίας	Ζυγό ψηφίο ισοτιμίας
0	0000	1	0
1	0001	0	1
2	0010	0	1
3	0011	1	0
4	0100	0	1
5	0101	1	0
6	0110	1	0
7	0111	0	1
8	1000	0	1
9	1001	1	0

- (β) Να σχεδιάσετε το κύκλωμα παραγωγής ζυγού ψηφίου ισοτιμίας για τον κώδικα BCD.

Απάντηση

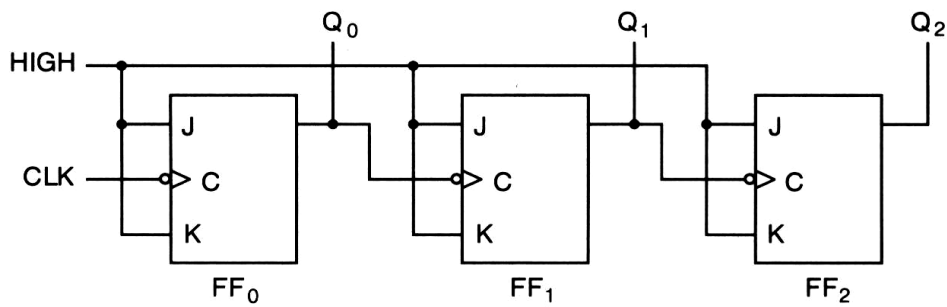


16. (α) Με τη χρήση του JK Φλιπ Φλοπ του σχήματος 11, να σχεδιάσετε το λογικό κύκλωμα ασύγχρονου δυαδικού απαριθμητή 3-bit που μετρά προς τα πάνω.



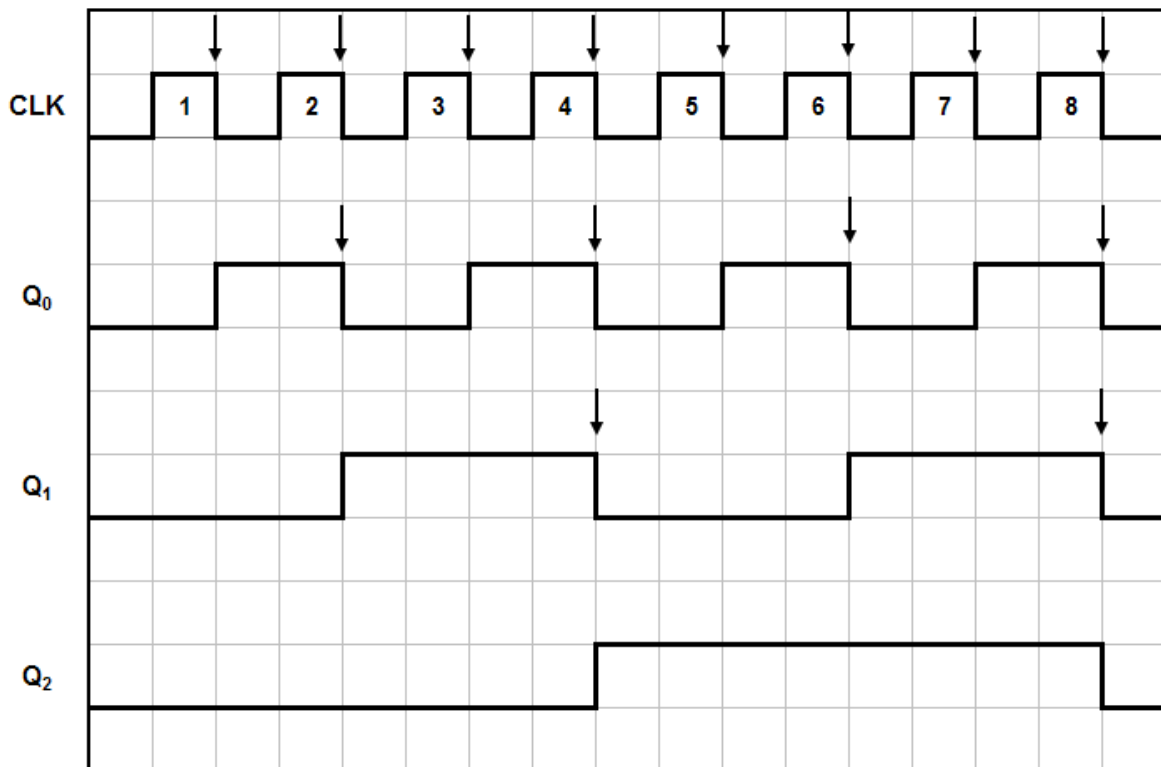
Σχήμα 11

Απάντηση



- (β) Στο τετραγωνισμένο χαρτί του σχήματος 12, να σχεδιάσετε τα χρονικά διαγράμματα των τριών εξόδων του απαριθμητή για 8 ωρολογιακούς παλμούς (CLK).

Απάντηση



Σχήμα 12

ΜΕΡΟΣ Γ΄ - Το μέρος Γ΄ αποτελείται από 2 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 10 μονάδες.

17. Στο σχήμα 13 δίνεται το λογικό σύμβολο αποκωδικοποιητή 2-bit σε 4 γραμμές.



Σχήμα 13

(α) Να συμπληρώσετε τον πίνακα λειτουργίας του αποκωδικοποιητή.

Απάντηση

Είσοδοι		Έξοδοι			
A_1	A_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

(β) Να δώσετε τις λογικές συναρτήσεις των τεσσάρων εξόδων του.

Απάντηση

$$Y_0 = \bar{A}_1 \bar{A}_0 \quad (0, 0)$$

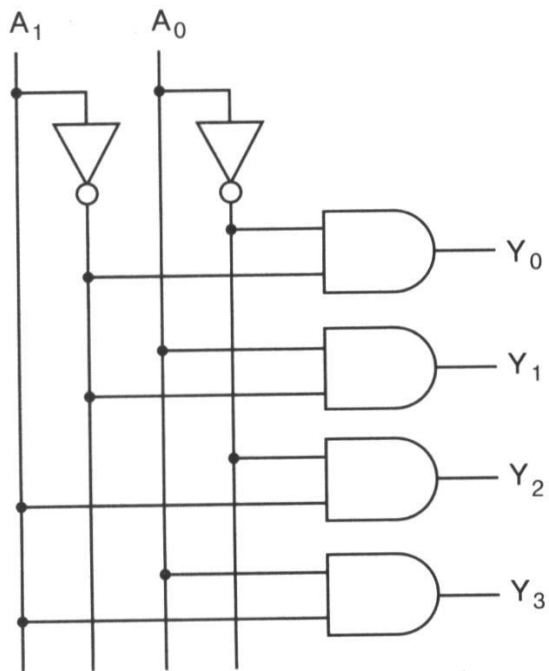
$$Y_1 = \bar{A}_1 A_0 \quad (0, 1)$$

$$Y_2 = A_1 \bar{A}_0 \quad (1, 0)$$

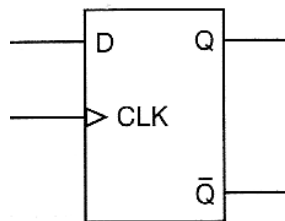
$$Y_3 = A_1 A_0 \quad (1, 1)$$

(γ) Να σχεδιάσετε το λογικό κύκλωμα του αποκωδικοποιητή.

Απάντηση

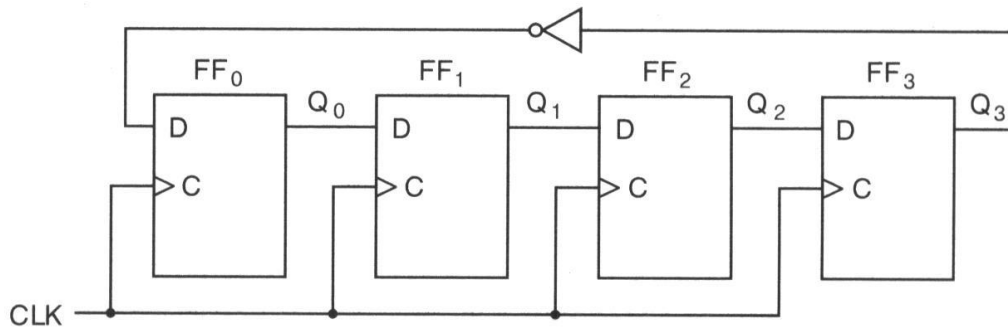


18. (α) Με τη χρήση του D Φλιπ Φλοπ του σχήματος 14, να σχεδιάσετε το κύκλωμα απαριθμητή Τζόνσον των 4-bit.



Σχήμα 14

Απάντηση



- (β) Να συμπληρώσετε τον πίνακα λειτουργίας του απαριθμητή Τζόνσον 4-bit, στον οποίο να φαίνονται όλες οι λογικές καταστάσεις που λαμβάνει. Η αρχική λογική κατάσταση των εξόδων του απαριθμητή Τζόνσον είναι η κατάσταση 0000.

Απάντηση

Παλμός Χρονισμού	Q ₀	Q ₁	Q ₂	Q ₃
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	1	1	1	0
4	1	1	1	1
5	0	1	1	1
6	0	0	1	1
7	0	0	0	1
8	0	0	0	0

- (γ) Αν η συχνότητα του ωρολογίου (CLK) είναι 4 MHz να υπολογίσετε τη συχνότητα των παλμών εξόδου Q, του απαριθμητή Τζόνσον των 4-bit.

Απάντηση

Για απαριθμητή Τζόνσον με 4 Φλιπ Φλοπ

$$f_Q = \frac{1}{2^N} f_{CLK}$$

$$f_Q = \frac{f_{CLK}}{8} = \frac{4 \text{ MHz}}{8} = 500 \text{ kHz}$$

$$f_Q = 500 \text{ kHz}$$

----- Τέλος Εξέτασης -----