

**ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ, ΠΟΛΙΤΙΣΜΟΥ, ΑΘΛΗΤΙΣΜΟΥ ΚΑΙ ΝΕΟΛΑΙΑΣ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ**

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ ΠΡΟΣΒΑΣΗΣ 2022

ΤΕΧΝΟΛΟΓΙΑ ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΠΡΑΚΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Τεχνολογία και Εργαστήρια Ψηφιακών Ηλεκτρονικών ΙΙ (510)
Ημερομηνία : Τρίτη, 14 Ιουνίου 2022
Ωρα εξέτασης : 08:00 – 10:30

Επιτρεπόμενη διάρκεια γραπτού 2,5 ώρες (150 λεπτά)

ΤΟ ΕΞΕΤΑΣΤΙΚΟ ΔΟΚΙΜΙΟ ΑΠΟΤΕΛΕΙΤΑΙ ΑΠΟ ΕΙΚΟΣΙ (20) ΣΕΛΙΔΕΣ ΚΑΙ ΤΡΙΑ (3) ΜΕΡΗ (Α΄, Β΄ ΚΑΙ Γ΄)

ΟΔΗΓΙΕΣ:

1. Να απαντήσετε σε όλες τις ερωτήσεις.
2. Οι ερωτήσεις να απαντηθούν στο εξεταστικό δοκίμιο.
3. Απαγορεύεται η χρήση διορθωτικού υγρού ή διορθωτικής ταινίας.
4. Τα σχεδιαγράμματα μπορούν να σχεδιαστούν με μολύβι.
5. Επιτρέπεται η χρήση μη προγραμματιζόμενης υπολογιστικής μηχανής.
6. Στο τέλος του εξεταστικού δοκιμίου δίνεται τυπολόγιο.

ΜΕΡΟΣ Α΄ - Το μέρος Α αποτελείται από δώδεκα (12) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με τέσσερις (4) μονάδες.

1. (α) Να δώσετε το ζυγό ψηφίο ισοτιμίας για τους πιο κάτω κώδικες:

(1) 1101

(2) 1001

(β) Ένα κύκλωμα ελέγχου μονού ψηφίου ισοτιμίας δέχεται τις πιο κάτω κωδικές λέξεις. Να επιλέξετε αν ο κάθε κώδικας είναι σωστός ή λανθασμένος.

(1) 11010100 ΣΩΣΤΟ / ΛΑΘΟΣ

.....

(2) 11010110 ΣΩΣΤΟ / ΛΑΘΟΣ

.....

2. (α) Να σχεδιάσετε το λογικό κύκλωμα ασύγχρονου SR Φλιπ Φλοπ χρησιμοποιώντας δύο πύλες NOR.

(β) Να αναφέρετε σε ποια λογική κατάσταση βρίσκεται το Φλιπ Φλοπ που σχεδιάσατε στην ερώτηση 2(α), όταν οι είσοδοί του είναι $S = 0$ και $R = 0$.

.....

3. (α) Να αναφέρετε τον τύπο του τρανζίστορ που χρησιμοποιείται για την κατασκευή της καθεμιάς από τις ακόλουθες λογικές οικογένειες:

CMOS

TTL

(β) Να αναφέρετε δύο χαρακτηριστικά σύγκρισης των λογικών οικογενειών.

(1)

(2)

4. (α) Να εξηγήσετε τί είναι το «μέγιστο μέτρο» (max MOD) ενός απαριθμητή.

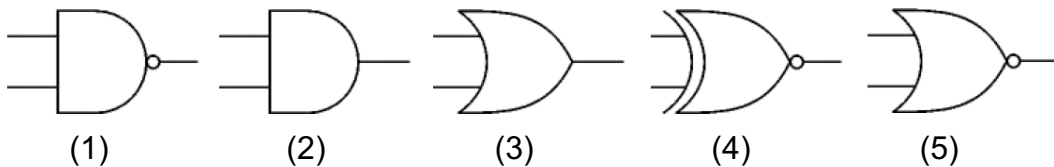
.....
.....
.....

(β) Να υπολογίσετε τον αριθμό των Φλιπ Φλοπ που έχει ένας απαριθμητής με μέτρο (MOD) 61.

.....
.....

5. (α) Να επιλέξετε τη σωστή απάντηση.

Ποια από τις παρακάτω πύλες, θα μπορούσε να χρησιμοποιηθεί από μόνη της για την έξοδο Y ($A = B$) ψηφιακού συγκριτή του 1-bit;



.....

(β) Να δώσετε τον αριθμό εισόδων και τον αριθμό εξόδων του ψηφιακού συγκριτή των 2-bit.

Αριθμός Εισόδων:

Αριθμός Εξόδων:

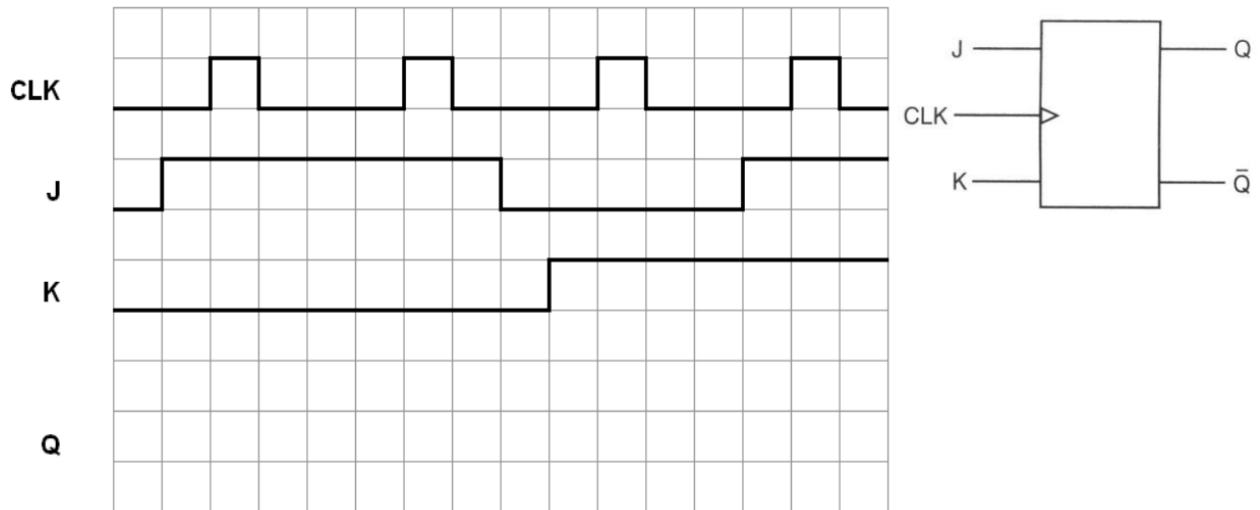
6. (α) Να υπολογίσετε τον ελάχιστο αριθμό ψηφίων (bits) που χρειάζονται για την κωδικοποίηση 105 χαρακτήρων ενός πληκτρολογίου.

.....
.....

(β) Ένας αποκωδικοποιητής έχει 32 εξόδους. Να υπολογίσετε τον αριθμό των εισόδων του.

.....
.....

7. Στο Σχήμα 1 δίνονται το λογικό σύμβολο και τα χρονικά διαγράμματα εισόδου ενός JK Φλιπ Φλοπ που χρονίζεται στα θετικά μέτωπα των παλμών του ωρολογίου (CLK). Να σχεδιάσετε στο ίδιο σχήμα το χρονικό διάγραμμα της εξόδου Q του Φλιπ Φλοπ. Η αρχική κατάσταση της εξόδου Q είναι το λογικό 0 (RESET).



Σχήμα 1

8. Ένας ασταθής πολυδονητής παράγει παλμούς με συχνότητα $f = 80 \text{ kHz}$ και έχει κύκλο δράσης $d = 40 \%$. Να υπολογίσετε:

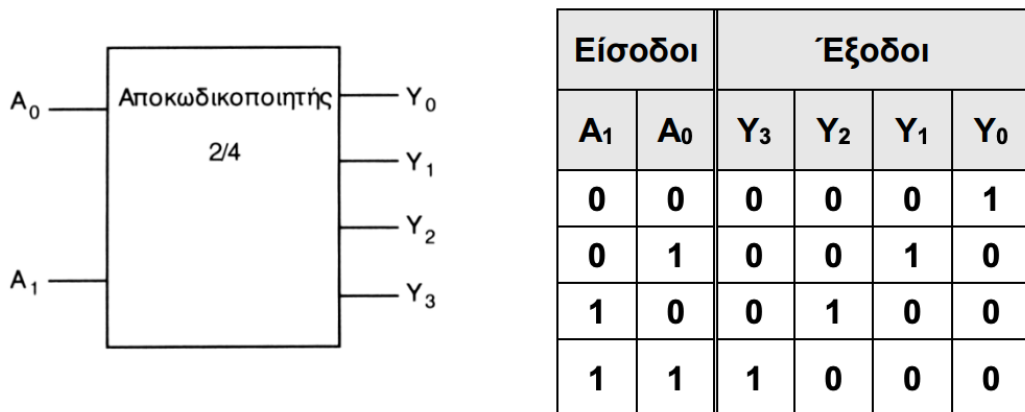
(α) Την περίοδο T των παλμών.

$T = \dots\dots\dots$

(β) Το χρόνο t_L που ο παλμός εξόδου παραμένει στο λογικό 0.

$t_L = \dots\dots\dots$

9. Στο Σχήμα 2 δίνονται το λογικό σύμβολο και ο πίνακας αληθείας του κυκλώματος αποκωδικοποιητή 2-bit σε 4 γραμμές.



Σχήμα 2

Να δώσετε τις λογικές συναρτήσεις των τεσσάρων εξόδων του αποκωδικοποιητή.

Y₀ =

Y₁ =

Y₂ =

Y₃ =

10. (α) Να αναφέρετε ποιος τύπος καταχωρητή ονομάζεται και «στατικός» καταχωρητής και να εξηγήσετε για ποιο λόγο του αποδίδεται και αυτή η ονομασία.

.....

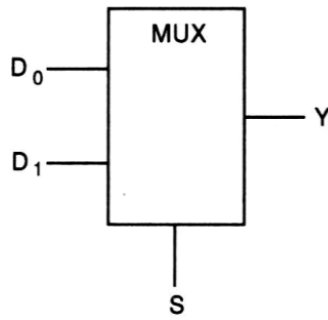
- (β) Να δώσετε τον ορισμό του «κυκλικού απαριθμητή».

.....

- (γ) Να αναφέρετε τον τύπο του καταχωρητή που θα χρησιμοποιούσατε για τη μετατροπή ενός σειριακού σήματος σε παράλληλο.

.....

11. Στο Σχήμα 3 δίνεται το λογικό σύμβολο πολυπλέκτη 2 γραμμών σε 1.



Σχήμα 3

(α) Να συμπληρώσετε τον πίνακα αληθείας (Πίνακας 1) του πιο πάνω πολυπλέκτη.

S	Y

Πίνακας 1

(β) Να γράψετε τη λογική συνάρτηση της εξόδου Y του πολυπλέκτη.

Y =

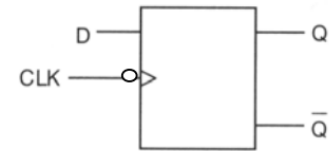
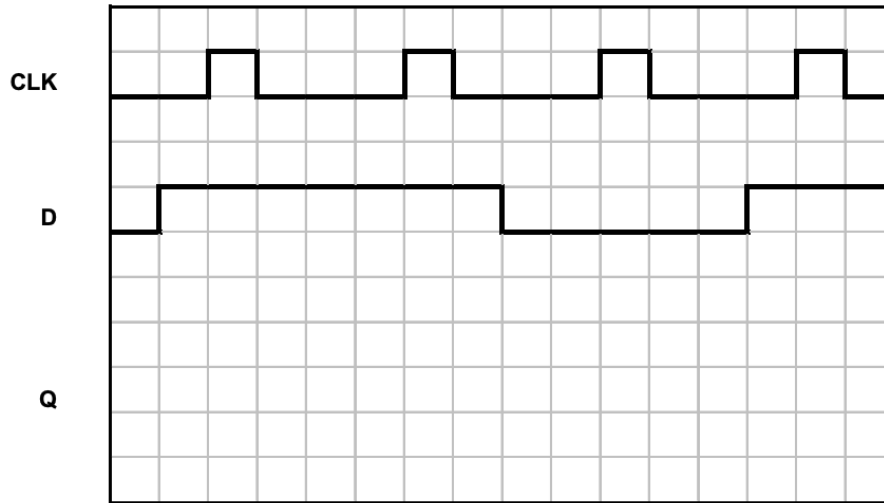
12. (α) Να υπολογίσετε τη συχνότητα των παλμών της εξόδου Q (f_Q) ενός T Φλιπ Φλοπ, αν η συχνότητα του CLK (f_{CLK}) στην είσοδό του είναι 10 MHz.

f_Q =

(β) Να αναφέρετε μια εφαρμογή των Φλιπ Φλοπ.

.....
.....
.....

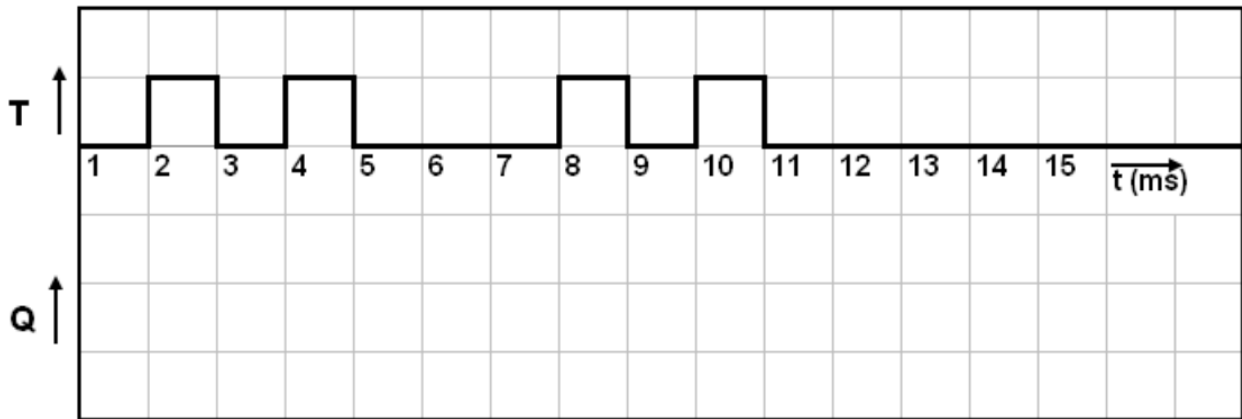
(γ) Στο Σχήμα 4 δίνονται το λογικό σύμβολο και τα χρονικά διαγράμματα των εισόδων ενός D Φλιπ Φλοπ. Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του Φλιπ Φλοπ, για 4 χρονικούς παλμούς του CLK. Η αρχική κατάσταση της εξόδου Q είναι το λογικό 0 (RESET).



Σχήμα 4

ΜΕΡΟΣ Β' - Το μέρος Β αποτελείται από τέσσερις (4) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με οκτώ (8) μονάδες.

13. (α) Στο Σχήμα 5 δίνεται το χρονικό διάγραμμα εισόδου ενός επαναδιεγειρόμενου μονοσταθούς πολυδονητή, ο οποίος διεγείρεται στα θετικά μέτωπα των παλμών διέγερσης και έχει χρόνο βολής 3 ms. Η σταθερή κατάσταση του μονοσταθούς πολυδονητή είναι η λογική κατάσταση 0. Να σχεδιάσετε στο ίδιο σχήμα το χρονικό διάγραμμα της εξόδου Q του πολυδονητή.



Σχήμα 5

- (β) Να αναφέρετε τη διαφορά μεταξύ επαναδιεγειρόμενου και μη επαναδιεγειρόμενου μονοσταθούς πολυδονητή.

.....

.....

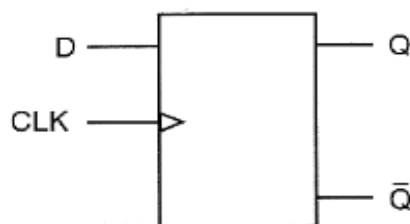
.....

- (γ) Να απαντήσετε αν η ακόλουθη δήλωση είναι σωστή ή λανθασμένη.

«Ο ασταθής πολυδονητής είναι μια γεννήτρια παλμών. Οι παλμοί που παράγει είναι τετράγωνοι όταν $t_H = t_L$ ». ΣΩΣΤΟ / ΛΑΘΟΣ

.....

14. (α) Με τη χρήση του D Φλιπ Φλοπ του Σχήματος 6, να σχεδιάσετε ένα καταχωρητή 4-bit με παράλληλη είσοδο και παράλληλη έξοδο.



Σχήμα 6

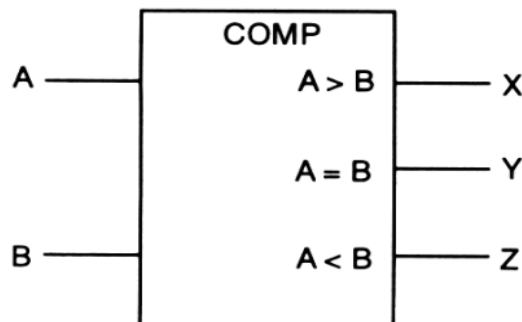
(β) Να υπολογίσετε πόσοι ωρολογιακοί παλμοί απαιτούνται για να εισέλθει και να εξέλθει μια πληροφορία των 4-bit σε ένα καταχωρητή με παράλληλη είσοδο και παράλληλη έξοδο.

.....
.....

(γ) Αν η συχνότητα του ωρολογίου (CLK) είναι 100 kHz, να υπολογίσετε το συνολικό χρόνο που θα χρειαστεί για να αποθηκευτεί η πληροφορία στον καταχωρητή της ερώτησης 14(β) πιο πάνω.

.....
.....
.....

15. Στο Σχήμα 7 δίνεται το λογικό σύμβολο του ψηφιακού συγκριτή που συγκρίνει δύο αριθμούς του 1-bit.



Σχήμα 7

(α) Να συμπληρώσετε τον πίνακα αληθείας (Πίνακας 2) του ψηφιακού συγκριτή του Σχήματος 7.

Είσοδοι		Έξοδοι		
A	B	X	Y	Z
0	0			
0	1			
1	0			
1	1			

Πίνακας 2

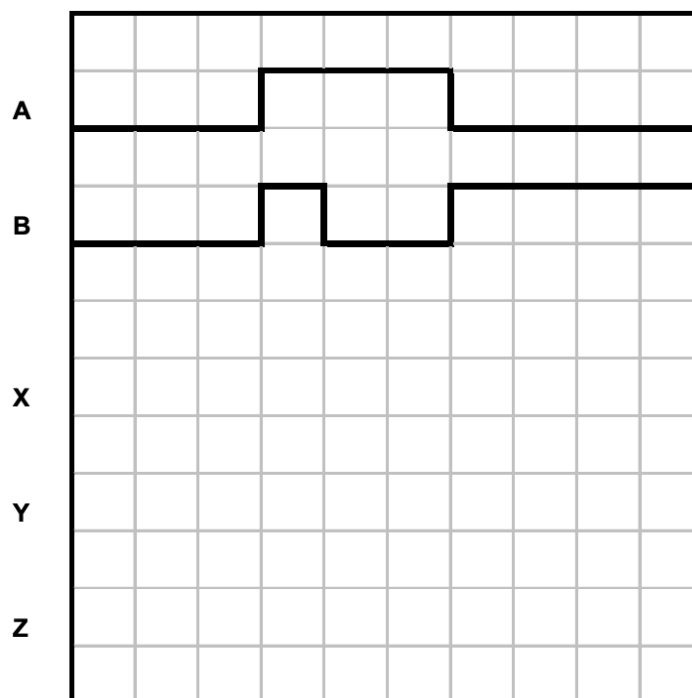
(β) Να δώσετε τις λογικές συναρτήσεις των τριών εξόδων X, Y και Z του συγκριτή.

X =

Y =

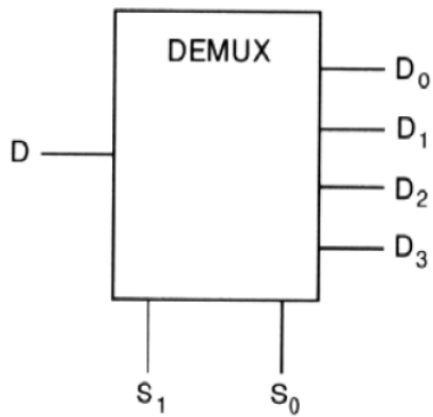
Z =

(γ) Στο Σχήμα 8 δίνονται τα χρονικά διαγράμματα των εισόδων ψηφιακού συγκριτή 1-bit. Να σχεδιάσετε στο ίδιο σχήμα τα λογικά διαγράμματα των τριών εξόδων του X, Y και Z.



Σχήμα 8

16. Στο Σχήμα 9 δίνεται το λογικό σύμβολο και ο πίνακας αληθείας αποπολυπλέκτη μιας γραμμής σε τέσσερις (1 x 4).



Είσοδοι Επιλογής		Έξοδοι			
S ₁	S ₀	D ₀	D ₁	D ₂	D ₃
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

Σχήμα 9

(α) Να γράψετε τις λογικές συναρτήσεις των τεσσάρων εξόδων του αποπολυπλέκτη του Σχήματος 9.

D₀ =

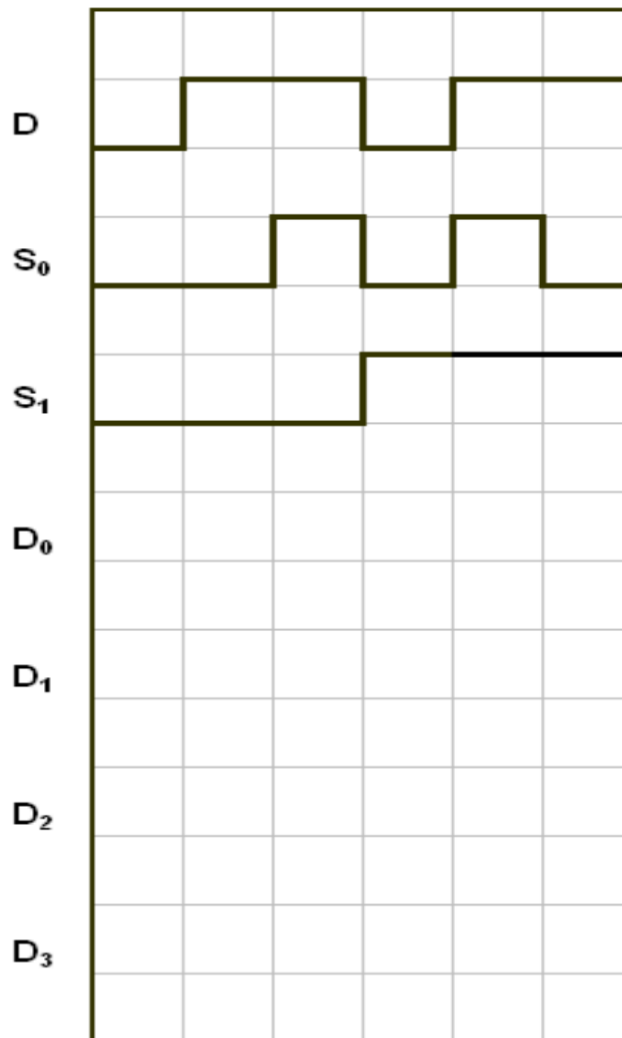
D₁ =

D₂ =

D₃ =

(β) Να σχεδιάσετε το λογικό κύκλωμα του αποπολυπλέκτη του Σχήματος 9.

(γ) Στο Σχήμα 10 δίνονται τα χρονικά διαγράμματα εισόδων κυκλώματος αποπολυπλέκτη μιας γραμμής σε τέσσερις (1 x 4). Να σχεδιάσετε τα χρονικά διαγράμματα των τεσσάρων εξόδων του αποπολυπλέκτη.



Σχήμα 10

ΜΕΡΟΣ Γ' - Το μέρος Γ αποτελείται από δύο (2) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με δέκα (10) μονάδες.

17. (α) Να δώσετε δύο χαρακτηριστικά του ενδείκτη 7-τμημάτων με LED.

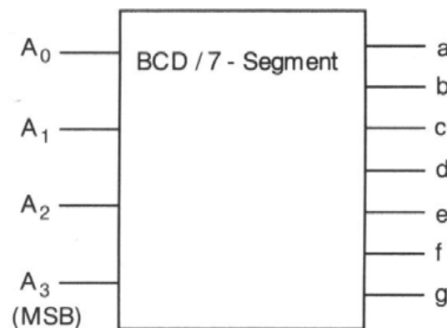
(1)

.....

(2)

.....

(β) Στο Σχήμα 11 δίνεται το σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει τον ενδείκτη 7-τμημάτων (7-segment).



Σχήμα 11

Αν η λογική κατάσταση των εισόδων είναι $A_3A_2A_1A_0 = 0101$, να αναφέρετε τον αριθμό που θα παριστάνει ο ενδείκτης 7-τμημάτων που συνδέεται στην έξοδο του αποκωδικοποιητή.

Αριθμός =

(γ) Να αναφέρετε ποια από τα τμήματα (a, b, c, d, e, f, g) του ενδείκτη 7-τμημάτων, θα βρίσκονται σε κατάσταση «λογικό 0», όταν παριστάνεται ο αριθμός της ερώτησης 17(β) στον ενδείκτη.

.....

(δ) Να αναφέρετε τον τύπο του ενδείκτη 7-τμημάτων που θα συνδέατε με τον αποκωδικοποιητή του Σχήματος 11. Να δικαιολογήσετε την απάντησή σας.

.....

.....

.....

.....

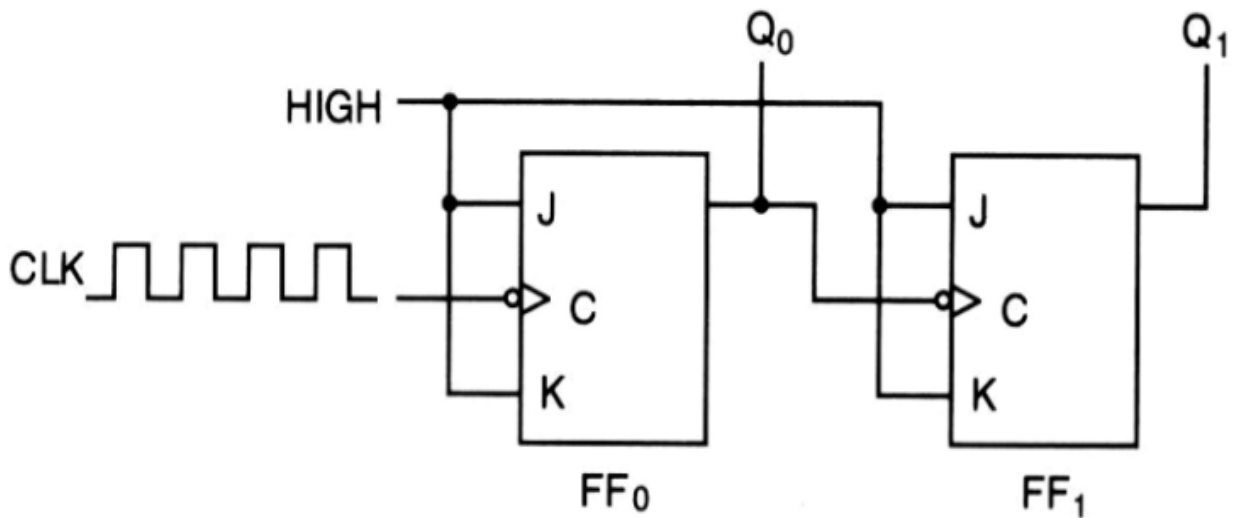
(ε) Να αναφέρετε μια χρήση / εφαρμογή των οθονών ένδειξης LCD που σχετίζεται με τη μικρή κατανάλωση ενέργειας που έχουν.

.....

.....

.....

18. Στο Σχήμα 12 δίνεται το κύκλωμα ασύγχρονου δυαδικού απαριθμητή.



Σχήμα 12

(α) Να αναφέρετε την κατεύθυνση αρίθμησης του απαριθμητή.

.....

.....

(β) Να υπολογίσετε τη μέγιστη συχνότητα λειτουργίας / αρίθμησης του απαριθμητή, αν ο χρόνος καθυστέρησης για κάθε Φλιπ Φλοπ είναι 50 ns.

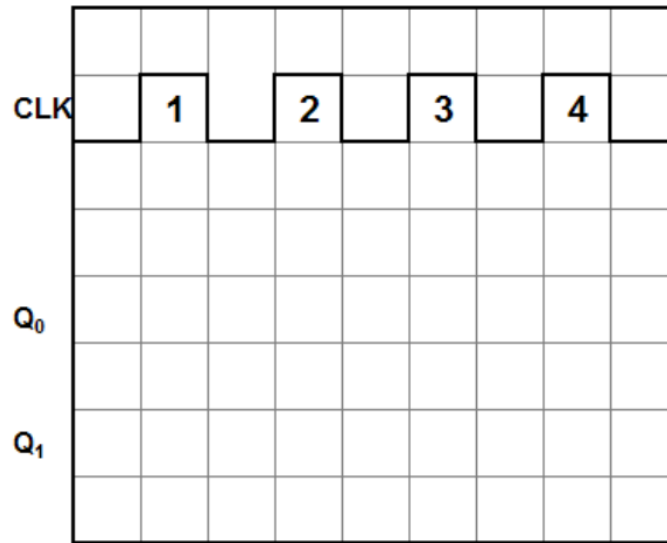
.....

.....

.....

.....

(γ) Στο Σχήμα 13, να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων Q του απαριθμητή για 4 παλμούς του ωρολογίου (CLK). Η αρχική κατάσταση του απαριθμητή είναι η RESET.



Σχήμα 13

(δ) Στον Πίνακα 3, να συμπληρώσετε τον πίνακα αληθείας του κυκλώματος του απαριθμητή του Σχήματος 12 για 4 παλμούς του ωρολογίου (CLK).

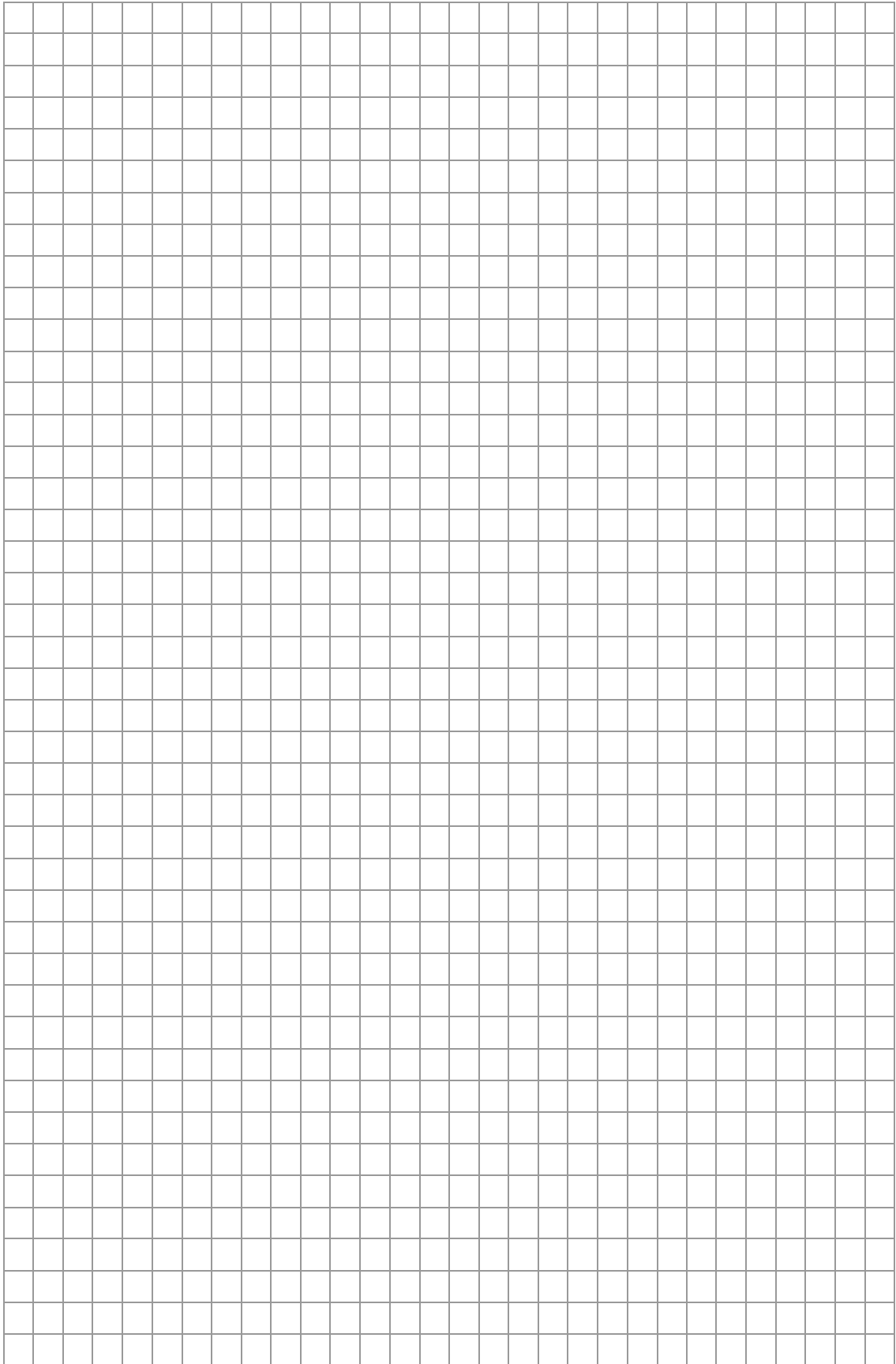
Ρολόι (CLK) A / A	Q₁	Q₀
0	0	0
1		
2		
3		
4		

Πίνακας 3

----- ΤΕΛΟΣ ΕΞΕΤΑΣΗΣ -----

ΠΡΟΧΕΙΡΟ

ΠΡΟΧΕΙΡΟ



ΤΥΠΟΛΟΓΙΟ ΓΙΑ ΤΟ ΜΑΘΗΜΑ «ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ»	
ΑΛΓΕΒΡΑ ΤΟΥ ΜΠΟΥΛ (BOOLE)	
Αξίωμα της αντιμετάθεσης	$A + B = B + A$ $A \cdot B = B \cdot A$
Αξίωμα του προσεταιρισμού	$A \cdot B \cdot C = (A \cdot B) \cdot C = A \cdot (B \cdot C)$ $A + B + C = (A + B) + C = A + (B + C)$
Αξίωμα του επιμερισμού	$A \cdot (B + C) = A \cdot B + A \cdot C$
Κανόνες της άλγεβρας Boole	$A + 0 = A$ $A + 1 = 1$ $A \cdot 0 = 0$ $A \cdot 1 = A$ $A + A = A$ $A + \bar{A} = 1$ $A \cdot A = A$ $A \cdot \bar{A} = 0$ $\bar{\bar{A}} = A$ $A + A \cdot B = A$ $A + \bar{A} \cdot B = A + B$ $(A + B) \cdot (A + C) = A + B \cdot C$
Θεώρημα Ντε Μόργαν (De Morgan)	$\overline{A + B} = \bar{A} \cdot \bar{B}$ $\overline{A \cdot B} = \bar{A} + \bar{B}$
ΠΟΛΥΔΟΝΗΤΕΣ	
Κύκλος Δράσης	$d = \frac{t_H}{T} \times 100\%$
Περίοδος παλμών	$T = t_H + t_L = 1 / f$
ΑΠΑΡΙΘΜΗΤΕΣ	
Μέγιστο μέτρο απαριθμητή	$max\ MOD = 2^v$
Μέγιστη συχνότητα αρίθμησης ασύγχρονου απαριθμητή	$f_{max} = \frac{1}{vt_p}$
Συχνότητα παλμών στην έξοδο που δίνει το περισσότερο σημαντικό ψηφίο απαριθμητή με μέτρο N	$f = \frac{f_{CLK}}{N}$
ΚΑΤΑΧΩΡΗΤΕΣ	
Συχνότητα κυκλικού απαριθμητή	$f_Q = \frac{1}{N} f_{CLK}$
Συχνότητα απαριθμητή Τζόνσον (Johnson)	$f_Q = \frac{1}{2N} f_{CLK}$

ΛΟΓΙΚΕΣ ΠΥΛΕΣ	
Πύλη AND	$Y = A \cdot B$
Πύλη OR	$Y = A + B$
Πύλη NOT	$Y = \bar{A}$
Πύλη NAND	$Y = \overline{A \cdot B}$
Πύλη NOR	$Y = \overline{A + B}$
Πύλη EXCLUSIVE OR	$Y = A \oplus B$
Πύλη EXCLUSIVE NOR	$Y = \overline{A \oplus B}$
ΜΕΤΑΤΡΟΠΕΙΣ D/A	
Ανάλυση	$\frac{FS}{2^N - 1}$
Ανάλυση %	$\frac{1}{2^N - 1} 100\%$
Μετατροπέας D/A με σταθμισμένες αντιστάσεις και τελεστικό ενισχυτή	$U_{out} = -U_{in} \frac{R_f}{8R} (8D_3 + 4D_2 + 2D_1 + D_0)$
Μετατροπείς D/A με κλιμακωτό δίκτυο αντιστάσεων και τελεστικό ενισχυτή	$U_{out} = -U_{in} \frac{R_f}{2R} (D_3 + \frac{1}{2}D_2 + \frac{1}{4}D_1 + \frac{1}{8}D_0)$
	$U_{out} = \frac{U_{in}}{2} (D_3 + \frac{1}{2}D_2 + \frac{1}{4}D_1 + \frac{1}{8}D_0)$